

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197881

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01L 27/12
H01L 21/306
H01L 21/331
H01L 21/336
H01L 21/338
H01L 27/15
H01L 29/737
H01L 29/778
H01L 29/786
H01L 29/812

(21)Application number : 2001-398200

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.12.2001

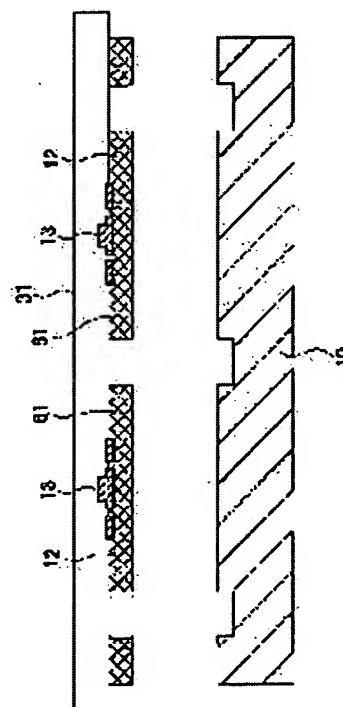
(72)Inventor : KONDO TAKAYUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT, MANUFACTURING METHOD FOR THE SEMICONDUCTOR INTEGRATED CIRCUIT, SEMICONDUCTOR ELEMENT MEMBER, ELECTROOPTIC DEVICE, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which improves the use rate of a semiconductor substrate where a semiconductor element is formed and decreases waste of manufacturing processes for the integrated circuit, a manufacturing circuit for the semiconductor integrated circuit, a semiconductor element member, an electrooptic device, and electronic equipment.

SOLUTION: On the substrate 10 of a semiconductor, a semiconductor device (semiconductor element) 13 is formed and only a function layer 12 which is a surface layer on the substrate 10 and includes the semiconductor device (semiconductor element) 13 is cut into fine tiles apart from the substrate 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor integrated circuit characterized by what a semiconductor device is formed in a semi-conductor substrate, and only the stratum fonctionale which is a surface in said semi-conductor substrate, and contains said semiconductor device is separated for from the semi-conductor substrate concerned.

[Claim 2] The manufacture approach of the semiconductor integrated circuit characterized by what a film is stuck on the field side in which the semiconductor device was formed in the semi-conductor substrate, and said semiconductor device in said semi-conductor substrate was formed, and the stratum fonctionale containing said semiconductor device in said semi-conductor substrate is separated for from the semi-conductor substrate concerned.

[Claim 3] Said semiconductor device is the manufacture approach of the semiconductor integrated circuit according to claim 1 or 2 characterized by what it is a compound semiconductor device and has at least one of a light emitting diode, a surface emission-type laser, a photodiode, a high electron mobility transistor, an inductor, a capacitor, resistance, and hetero-bipolar transistors for.

[Claim 4] Said semiconductor device is the manufacture approach of the semiconductor integrated circuit according to claim 1 to 3 characterized by what it is a silicon semiconductor device and at least one of an integrated circuit, a photodiode, a transistor, and diodes is made for.

[Claim 5] The manufacture approach of the semiconductor integrated circuit according to claim 2 to 4 characterized by what it sticks on said film and the ***** aforementioned stratum fonctionale is joined for to the substrate which consists of either silicon, a quartz, sapphire, a metal, ceramics and a plastic film.

[Claim 6] Said semi-conductor substrate is the manufacture approach of the semiconductor integrated circuit according to claim 1 to 5 characterized by what it has the sacrifice layer arranged at the lower layer of said stratum fonctionale, and it is etching the sacrifice layer concerned and the stratum fonctionale concerned is separated for from the semi-conductor substrate concerned.

[Claim 7] It is the manufacture approach of the semiconductor integrated circuit according to claim 6 characterized by what said semi-conductor substrate consists of a gallium-arsenide compound semiconductor, and said sacrifice layer consists of an aluminum arsenic compound semi-conductor, an aluminum gallium and an arsenide semi-conductor, an indium and a phosphorus compound semiconductor, or an indium gallium and a phosphorus compound semiconductor.

[Claim 8] It is the manufacture approach of the semiconductor integrated circuit according to claim 6 which said semi-conductor substrate is formed in the silicon on insulator (SOI) substrate, and is characterized by what said sacrifice layer consists of silicon oxide.

[Claim 9] The manufacture approach of the semiconductor integrated circuit according to claim 6 to 8 characterized by what said stratum fonctionale is separated for from the semi-conductor substrate concerned by etching said sacrifice layer while a separation slot is established in said semi-conductor substrate and preparing the separation slot concerned.

[Claim 10] Said separation slot is the manufacture approach of the semiconductor integrated circuit

according to claim 9 characterized by what is formed by the approach of either dry etching and wet etching.

[Claim 11] Said separation slot is the manufacture approach of the semiconductor integrated circuit according to claim 9 or 10 characterized by what it has the depth which reaches said sacrifice layer at least for.

[Claim 12] The manufacture approach of the semiconductor integrated circuit according to claim 7 characterized by what said sacrifice layer is etched for by the low-concentration hydrochloric acid or fluoric acid, and buffer fluoric acid.

[Claim 13] The manufacture approach of the semiconductor integrated circuit characterized by what said semiconductor device separates from said semi-conductor substrate by forming a semiconductor device in the semi-conductor substrate which has the sacrifice layer which can be removed by etching, forming a separation slot with the depth which reaches said sacrifice layer at least, sticking a film on the front face of said semi-conductor substrate, injecting an etching reagent into said separation slot, and etching said sacrifice layer into said semi-conductor substrate.

[Claim 14] The manufacture approach of the semiconductor integrated circuit according to claim 13 characterized by what said semiconductor device stuck on said film is joined for to a different substrate from said semi-conductor substrate.

[Claim 15] The manufacture approach of the semiconductor integrated circuit according to claim 14 characterized by what said semiconductor device joined to said substrate is connected with the circuit formed on the substrate concerned for.

[Claim 16] The semiconductor device member which separates from the semi-conductor substrate concerned and is characterized by what the semiconductor device member concerned is stuck on the film for by using as a semiconductor device member the semiconductor device formed in the semi-conductor substrate.

[Claim 17] The semiconductor integrated circuit characterized by the thing come to join a semiconductor device member according to claim 16 to a different substrate from a semi-conductor substrate according to claim 16, a semiconductor device member and the circuit of the substrate concerned concerned are connected, and it comes to form an integrated circuit.

[Claim 18] The electro-optic device characterized by having a semiconductor integrated circuit according to claim 17.

[Claim 19] the stratum functionale containing the semiconductor device separated from the semi-conductor substrate according to claim 1 to 5, the semiconductor device separated from the semi-conductor substrate according to claim 13, and ** -- the electro-optic device characterized by having at least one inside.

[Claim 20] Said electro-optic device is an electro-optic device according to claim 18 or 19 characterized by having the switching means connected at two or more data lines, and two or more scanning lines by which it was formed in the shape of a matrix and said scanning line and the data line, and the pixel electrode connected to said switching means.

[Claim 21] Said electro-optic device is an electro-optic device according to claim 18 or 19 characterized by having a light emitting device.

[Claim 22] Electronic equipment characterized by equipping claim 18 thru/or any 1 term of 21 with the electro-optic device of a publication.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor integrated circuit and a semiconductor integrated circuit, a semiconductor device member, an electro-optic device, and electronic equipment. It is related with the approach of transferring a certain semiconductor device on the body (for example, substrate) of different construction material especially from the construction material of the semiconductor device concerned.

[0002]

[Description of the Prior Art] The technique which forms the semiconductor device of preparing a surface emission-type laser (VCSEL), a photodiode (PD), or a high electron mobility transistor (HEMT) made from a gallium arsenide etc. on a silicon semi-conductor substrate, or sticking a minute silicon transistor on a glass substrate instead of the thin film transistor (TFT) of each pixel of a liquid crystal display (LCD), on the substrate with which construction material differs is considered.

[0003] An optoelectronics integrated circuit (OEIC) is mentioned as an integrated circuit which has the semi-conductor with which such construction material differs. An optoelectronics integrated circuit is an integrated circuit equipped with the I/O means by light. Although signal processing within an integrated circuit is performed using an electrical signal, the I/O with the outside of an integrated circuit is performed using a lightwave signal.

[0004]

[Problem(s) to be Solved by the Invention] By the way, by computer, the working speed inside CPU (clock of operation) is improving by detailed-ization of the internal structure of an integrated circuit every year. However, the signal transduction rate in a bus is reaching a limitation mostly, and serves as a bottleneck of the processing speed of a computer. If a lightwave signal can perform signal transduction in this bus, it will become possible to raise the limitation of the processing speed of a computer remarkably. In order to realize this, it is necessary to make minute luminescence and photo detector build in the integrated circuit made from silicon.

[0005] However, since silicon is an indirect semiconductor, it cannot emit light. Then, it is necessary to constitute an integrated circuit combining semi-conductor light emitting device with another silicon and silicon. Here, a thing promising as a semi-conductor light emitting device is a surface emission-type laser (VCSEL) which consists of compound semiconductors, such as a gallium arsenide (GaAs). However, the surface emission-type laser is dramatically difficult to form on a silicon integrated circuit directly according to semi-conductor processes, such as epitaxy, in order not to carry out lattice matching to silicon. Usually, a surface emission-type laser is formed on a gallium-arsenide substrate. Then, the surface emission-type laser on a gallium-arsenide substrate is chip-ized, and how to unite an electrical signal transfer circuit and a lightwave signal transfer circuit is considered by mounting this chip in a silicon integrated-circuit substrate mechanically.

[0006] On the other hand, also in order not to make useless area of the semi-conductor substrate with which an integrated circuit is formed, the thing small as much as possible of the chip size of the surface

emission-type laser component on an integrated circuit is desirable also because of the ease of carrying out of the handling after fusion. If it can do, I will want to make it dimension = (number 10-micrometer angle of several micrometer[in thickness] x area) of same extent as the case where an integrated circuit is formed by the monolithic. However, in the conventional semi-conductor mounting technology, the chip size which can be handled is the above (number 100-micrometer angle of number 10-micrometer of thickness x area) size.

[0007] There is a technique indicated by the 1st precedence reference (a journal, "electronics", the October, 2000 issue, 37 pages - 40 pages) and the 2nd precedence reference (a journal, the "Institute of Electronics, Information and Communication Engineers paper magazine", 2001/9, Vol.J84-C.No9) to these. It removes by grinding a substrate first, and only the stratum functionale (several micrometers) of the pole surface used as a semiconductor device is imprinted to another maintenance substrate, it operates orthopedically in desired magnitude with handling and a photolithography technique, and the technique of these precedence reference is joined to the last substrate. Now, a semi-conductor layer (stratum functionale) with a thickness of several micrometers it is thin to the target semiconductor device is formed in the location of a request of the last substrate. This is processed in the usual semi-conductor process, and an electrode etc. is attached and it is made to complete.

[0008] Since the trouble of the technique of these [1st] and the 2nd precedence reference removes a semi-conductor substrate by polish, it is a point that the maintenance substrate of the rigid body is needed. Therefore, it is necessary to perform junction to the last substrate by complete package. That is, before joining, all semi-conductor film other than an eventually needed part will have to be removed, and futility will increase dramatically. Moreover, since the part joined is only the stratum functionale, it is necessary to give a semi-conductor process after junction. Therefore, when the arrangement consistency of the target semiconductor device is not not much large, futility increases extremely by processing the whole last substrate.

[0009] This invention solves the above-mentioned problem when forming a certain semiconductor device on the body of different construction material from the construction material of the semiconductor device concerned, and it aims at offer of the manufacture approach of a semiconductor integrated circuit and a semiconductor integrated circuit that the futility in the manufacture process of an integrated circuit can be reduced, a semiconductor device member, an electro-optic device, and electronic equipment while being able to raise the utilization factor of the semi-conductor substrate with which a semiconductor device is formed.

[0010]

[Means for Solving the Problem] In order to attain the above-mentioned object, the manufacture approach of the semiconductor integrated circuit of this invention forms a semiconductor device in a semi-conductor substrate, and is characterized by separating only the stratum functionale which is a surface in said semi-conductor substrate, and contains said semiconductor device from the semi-conductor substrate concerned. According to such technique, it becomes possible to join the semiconductor device separated by the minute tile configuration to the body of arbitration, and to form an integrated circuit. Here, a compound semiconductor or a silicon semi-conductor is sufficient as a semiconductor device, and a silicon semi-conductor substrate, a compound semiconductor substrate, or other matter are sufficient as the body to which a semiconductor device is joined. Then, according to this invention, it becomes possible to form a semiconductor device on the substrate with which construction material differs from the semiconductor device concerned as a surface emission-type laser or a photodiode made from a gallium arsenide etc. is formed on a silicon semi-conductor substrate. Moreover, since a semiconductor device is completed on a semi-conductor substrate and it separates in a minute tile configuration, before creating an integrated circuit, it becomes possible to test and sort out a semiconductor device beforehand.

[0011] Moreover, the manufacture approach of the semiconductor integrated circuit of this invention sticks a film on the field side in which the semiconductor device was formed in the semi-conductor substrate, and said semiconductor device in said semi-conductor substrate was formed, and is characterized by separating the stratum functionale containing said semiconductor device in said semi-

conductor substrate from the semi-conductor substrate concerned. Since according to such technique only the stratum functionale containing a semiconductor device can be cut out from a semi-conductor substrate as a minute tile configuration, can be mounted on a film and can be handled, while choosing a semiconductor device according to an individual and being able to join to the last substrate, size of the semiconductor device which can be handled can be made smaller than the thing of the conventional mounting technology.

[0012] Moreover, said semiconductor device is a compound semiconductor device, and, as for the manufacture approach of the semiconductor integrated circuit of this invention, it is desirable to have at least one of a light emitting diode, a surface emission-type laser, a photodiode, a high electron mobility transistor, an inductor, a capacitor, resistance, and hetero-bipolar transistors.

[0013] Moreover, said semiconductor device is a silicon semiconductor device, and, as for the manufacture approach of the semiconductor integrated circuit of this invention, it is desirable to make at least one of an integrated circuit, a photodiode, a transistor, and diodes.

[0014] Moreover, the manufacture approach of the semiconductor integrated circuit of this invention is stuck on said film, and is characterized by joining the ***** aforementioned stratum functionale to the substrate which consists of either silicon, a quartz, sapphire, a metal, ceramics and a plastic film. Since the semiconductor device is completed by the stratum functionale joined to a substrate according to such technique, a complicated semi-conductor process is not needed after the junction. Therefore, since it is not necessary to process the whole substrate concerned after joining the stratum functionale to a substrate, it becomes possible to reduce the futility of a manufacture process. Moreover, since it is not necessary to process the whole substrate concerned after joining the stratum functionale to a substrate, it becomes possible to be able to ease constraint of the junction approach concerned, for example, to adopt the junction approach of low thermal resistance.

[0015] Moreover, the manufacture approach of the semiconductor integrated circuit of this invention is that said semi-conductor substrate has the sacrifice layer arranged at the lower layer of said stratum functionale, and etches the sacrifice layer concerned, and is characterized by separating the stratum functionale concerned from the semi-conductor substrate concerned.

[0016] Moreover, said semi-conductor substrate consists of a gallium-arsenide compound semiconductor, and, as for the manufacture approach of the semiconductor integrated circuit of this invention, as for said sacrifice layer, it is desirable to consist of an aluminum arsenic compound semiconductor, an aluminum gallium and an arsenide semi-conductor, an indium and a phosphorus compound semiconductor, or an indium gallium and a phosphorus compound semiconductor.

[0017] Moreover, said semi-conductor substrate is formed in the silicon on insulator (SOI) substrate for the manufacture approach of the semiconductor integrated circuit of this invention, and, as for said sacrifice layer, consisting of silicon oxide is desirable.

[0018] Moreover, the manufacture approach of the semiconductor integrated circuit of this invention is etching said sacrifice layer while a separation slot is prepared and it prepares the separation slot concerned, and it is desirable to separate said stratum functionale from the semi-conductor substrate concerned. According to such technique, about the semi-conductor substrate with which a semiconductor device is formed first, it becomes possible to use all the area except the part of a separation slot as a semiconductor device.

[0019] Moreover, as for the manufacture approach of the semiconductor integrated circuit of this invention, it is desirable that a separation slot is formed by the approach of either dry etching and wet etching.

[0020] Moreover, as for the manufacture approach of the semiconductor integrated circuit of this invention, it is desirable that said separation slot has the depth which reaches said sacrifice layer at least. According to such technique, by injecting an etching reagent into a separation slot, it becomes possible from a separation slot to send an etching reagent to a sacrifice layer, and a sacrifice layer can be etched.

[0021] Moreover, as for the manufacture approach of the semiconductor integrated circuit of this invention, it is desirable to etch said sacrifice layer with a low-concentration hydrochloric acid.

[0022] Moreover, the manufacture approach of the semiconductor integrated circuit of this invention is

characterized by to separate said semiconductor device from said semi-conductor substrate by forming a semiconductor device in the semi-conductor substrate which has the sacrifice layer which can be removed by etching, forming a separation slot with the depth which reaches said sacrifice layer at least, sticking a film on the front face of said semi-conductor substrate, injecting an etching reagent into said separation slot, and etching said sacrifice layer into said semi-conductor substrate.

[0023] Moreover, as for the manufacture approach of the semiconductor integrated circuit of this invention, it is desirable to join said semiconductor device stuck on said film to a different substrate from said semi-conductor substrate.

[0024] Moreover, as for the manufacture approach of the semiconductor integrated circuit of this invention, it is desirable to connect said semiconductor device joined to said substrate with the circuit formed on the substrate concerned.

[0025] The semiconductor device member of this invention separates from the semi-conductor substrate concerned, and is characterized by sticking the semiconductor device member concerned on a film by using as a semiconductor device member the semiconductor device formed in the semi-conductor substrate.

[0026] Said semiconductor device member is joined to a different substrate from said semi-conductor substrate, a semiconductor device member and the circuit of the substrate concerned are connected, and the semiconductor integrated circuit of this invention is characterized by coming to form an integrated circuit.

[0027] The electro-optic device of this invention is characterized by having said semiconductor integrated circuit.

[0028] moreover, the stratum functionale containing the semiconductor device by which the electro-optic device of this invention was separated from said semi-conductor substrate, the semiconductor device separated from said semi-conductor substrate, and ** -- it is characterized by having at least one inside.

[0029] Moreover, as for the electro-optic device of this invention, it is desirable to have the switching means connected at two or more data lines, and two or more scanning lines by which it was formed in the shape of a matrix and said scanning line and the data line, and the pixel electrode connected to said switching means.

[0030] Moreover, as for the electro-optic device of this invention, it is desirable to have a light emitting device.

[0031] The electronic equipment of this invention is characterized by having said electro-optic device.

[0032]

[Embodiment of the Invention] Hereafter, the manufacture approach of the semiconductor integrated circuit concerning this invention is explained based on drawing 1 thru/or drawing 10 . Although the 1st operation gestalt explains the case where a compound semiconductor device (compound semiconductor element) is joined on silicon and an LSI chip, regardless of the class of semiconductor device, and the class of LSI chip, this invention is applicable. In addition, although the "semi-conductor substrate" in this operation gestalt means the body which consists of semi-conductor goods, it is contained in a "semi-conductor substrate", if it is semi-conductor goods no matter it may be not only the substrate of a plate configuration but what configuration.

[0033] (1st operation gestalt)

<1st process> drawing 1 is the outline sectional view showing the 1st process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. In drawing 1 , a substrate 10 is a semi-conductor substrate and is a gallium-arsenide compound semiconductor substrate with this operation gestalt. The sacrifice layer 11 is formed in the lowest layer in a substrate 10. The sacrifice layer 11 consists of an aluminum arsenic (AlAs), and is a layer whose thickness is hundreds of nm. For example, the stratum functionale 12 is formed in the upper layer of the sacrifice layer 11. Thickness of the stratum functionale 12 is made into a 10 (20) mum grade from 1 micrometer. And a semiconductor device (semiconductor device) 13 is created in the stratum functionale 12. As a semiconductor device 13, light emitting diode (LED), a surface emission-type laser (VCSEL), a

photodiode (PD), a high electron mobility transistor (HEMT), a hetero-bipolar transistor (HBT), etc. are mentioned, for example. The laminating of the epitaxial layer of a multilayer [top / substrate 10] is carried out, and, as for these semiconductor devices 13, a component is formed by each in it. Moreover, each semiconductor device 13 also forms an electrode and an operation test also performs it.

[0034] <2nd process> drawing 2 is the outline sectional view showing the 2nd process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. In this process, the separation slot 21 is formed so that each semiconductor device 13 may be divided. Let the separation slot 21 be a slot with the depth which reaches the sacrifice layer 11 at least. For example, the width of face and the depth of a separation slot are set to 10 micrometers to hundreds of micrometers. Moreover, let the separation slot 21 be the slot connected without the dead end so that the selection etching reagent mentioned later may flow the separation slot 21 concerned. Furthermore, as for the separation slot 21, forming in the shape of a grid is desirable like a go board. Moreover, it shall have an area of dozens of micrometers to hundreds of micrometers around for the size of each semiconductor device 13 divided and formed of the separation slot 21 by setting spacing between separation slot 21 to dozens of micrometers to hundreds of micrometers. As the formation approach of the separation slot 21, the approach by the photolithography and wet etching or the approach by dry etching is used. Moreover, a crack may form the separation slot 21 by the dicing of U typeface slot in the range which is not produced in a substrate. In formation of the separation slot 21, a sulfuric-acid system etching reagent can be used in wet etching, and chlorine gas can be used by dry etching. Since, as for the separation slot 21, a pattern dimension does not need precision greatly, an etching mask may not be a photolithography. For example, offset printing etc. can be used as an etching mask. Moreover, in formation of the separation slot 21, bearing of the separation slot 21 to the crystal orientation of a substrate 10 also becomes important.

[0035] <3rd process> drawing 3 is the outline sectional view showing the 3rd process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. The medium imprint film 31 is stuck on the front face (semiconductor device 13 side) of a substrate 10 in this process. The medium imprint film 31 is a film of a flexible band configuration with which the binder was applied to the front face.

[0036] <4th process> drawing 4 is the outline sectional view showing the 4th process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. The selection etching reagent 41 is injected into the separation slot 21 in this process. At this process, in order to etch only the sacrifice layer 11 selectively, selectivity uses a low-concentration high hydrochloric acid to an aluminum arsenic as a selection etching reagent 41. Although low-concentration fluoric acid can also be used as a selection etching reagent 41, it is more desirable to use a hydrochloric acid in respect of selectivity.

[0037] <5th process> drawing 5 is the outline sectional view showing the 5th process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. In this process, after impregnation of the selection etching reagent 41 to the separation slot 21 in the 4th process, all the sacrifice layers 11 are etched selectively and it removes from a substrate 10 by progress of predetermined time. Then, the rinse of the pure water is poured in and carried out to a part with the separation slot 21 and the sacrifice layer 11.

[0038] <6th process> drawing 6 is the outline sectional view showing the 6th process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. If the sacrifice layer 11 is altogether etched at the 5th process, the stratum functionale 12 will be separated from a substrate 10. And in this process, the stratum functionale 12 currently stuck on the medium imprint film 31 is pulled apart from a substrate 10 by pulling apart the medium imprint film 31 from a substrate 10. The stratum functionale 12 in which the semiconductor device 13 was formed is divided by formation of the separation slot 21, and etching of the sacrifice layer 11, is used as the semiconductor device (henceforth "the minute tile-like component 61") of a predetermined configuration (for example, minute tile configuration), will be stuck on the medium imprint film 31, and will be held by these. Here, it is desirable that functional layer thickness is 1 micrometer to 8 micrometers, and magnitude (in every

direction) is dozens of micrometers to hundreds of micrometers. Moreover, the substrate 10 with which the stratum functionale 12 was separated can be reused to formation of a semiconductor device. And the 6th process can be repeated and performed from the 1st above-mentioned process by forming beforehand the two or more layers sacrifice layer 11, a substrate 10 is reused, and it becomes possible to repeat and create "the minute tile-like component 61."

[0039] <7th process> drawing 7 is the outline sectional view showing the 7th process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. In this process, it is moving the medium (minute tile-like component's 61 having been stuck) imprint film 31, and alignment of the minute tile-like component 61 is carried out to the location of a request of the last substrate 71. Here, the last substrate 71 consists of a silicon semi-conductor, and the LSI field 72 is formed. Moreover, the adhesives 73 for pasting up the minute tile-like component 61 are applied to the location of a request of the last substrate 71.

[0040] <8th process> drawing 8 is the outline sectional view showing the 8th process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. In this process, the minute tile-like component 61 by which alignment was carried out to the location of a request of the last substrate 71 is forced by the collet 81 throughout a period of medium imprint film 31, and it joins to the last substrate 71. Here, since adhesives 73 are applied to the desired location, the minute tile-like component 61 pastes the location of a request of the last substrate 71. At this process, although adhesives were used as the adhesion approach of the minute tile-like component 61 to the last substrate 71, other adhesion approaches may be used.

[0041] <9th process> drawing 9 is the outline sectional view showing the 9th process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. In this process, the adhesion of the medium imprint film 31 is vanished and the medium imprint film 31 is removed from the minute tile-like component 61. The binder of the medium imprint film 31 is made into UV hardenability or a thermosetting thing. When it considers as the binder of UV hardenability, the collet 81 is made into transparent construction material, and the adhesion of the medium imprint film 31 is vanished by irradiating ultraviolet rays (UV) from the head of a collet 81. What is necessary is just to heat a collet 81, when it considers as thermosetting adhesives. Or after the 6th process, whole surface UV irradiation of the medium imprint film 31 may be carried out, and adhesion may be vanished completely. Although adhesion disappeared, adhesiveness remains slightly actually, and since the minute tile-like component 61 is very thinly light, it is held at the medium imprint film 31.

[0042] The <10th process> book process is not illustrated. In this process, heat-treatment etc. is performed and actual junction of the minute tile-like component 61 is carried out at the last substrate 71.

[0043] <11th process> drawing 10 is the outline sectional view showing the 11th process of the manufacture approach of the semiconductor integrated circuit concerning this operation gestalt. In this process, wiring 91 ties electrically the electrode of the minute tile-like component 61, and the circuit on the last substrate 71, and one LSI chip is completed. As the last substrate 71, not only a silicon semi-conductor but a quartz substrate or a plastic film may be applied. When a silicon semi-conductor is used as the last substrate 71, it is good also as a substrate which has CCD (charge-coupled device). This can be used for the display of a liquid crystal display (LCD), organic electroluminescence equipment, etc. when glass substrates, such as a quartz, are used as the last substrate 71. Moreover, this can be used for a liquid crystal display, an organic electro-luminescence panel, or IC film package when a plastic film is used as the last substrate 71.

[0044] (2nd operation gestalt) The 2nd operation gestalt explains the case where a silicon transistor (silicon semiconductor device) is stuck on the glass substrate for liquid crystal. The 1st process in this operation gestalt to the 11th process is a process corresponding to the 11th process from the 1st process in the 1st operation gestalt. Here, especially the big point of difference between this operation gestalt and the 1st operation gestalt is a point that the approaches of the selective etching of the sacrifice layer in the 4th process differ.

[0045] First, as the 1st process, a silicon transistor is formed in the usual general process on a SOI

(Silicon On Insulator) substrate. Here, the integrated circuit which is a silicon device instead of, a photodiode, a transistor, or diode may be formed. [a silicon transistor] The silicon oxide used as a sacrifice layer is prepared in the SOI substrate. A separation slot is formed in a SOI substrate as the 2nd process. this separation slot -- at least -- a SOI substrate -- it has the depth which reaches the silicon oxide which makes the sacrifice layer to kick, and forms by approaches, such as etching. A medium imprint film is stuck on the front face (silicon transistor side) of a SOI substrate as the 3rd process.

[0046] In order to etch selectively only the silicon oxide which makes a sacrifice layer as the 4th process, fluoric acid is poured in to a separation slot. as the 5th process -- progress of after the 4th process and predetermined time -- the sacrifice layer of silicon oxide -- etching -- from a silicon substrate -- since -- a silicon transistor (silicon semiconductor device) is separated. As the 6th process, the silicon transistor currently stuck on the medium imprint film is pulled apart from a SOI substrate by pulling apart a medium imprint film from a SOI substrate.

[0047] As the 7th process, it is moving a medium imprint film, and alignment of the silicon transistor is carried out to the location of a request of the last substrate. Here, the last substrate is a glass substrate for liquid crystal. The silicon transistor by which alignment was carried out to the location of a request of the last substrate as the 8th process is forced by the collet over a medium imprint film, and it joins to the last substrate. Here, since adhesives are applied to the desired location, a silicon transistor pastes the location of a request of the last substrate.

[0048] As the 9th process, the adhesion of a medium imprint film is vanished and a medium imprint film is removed from a silicon transistor. As the 10th process, heat-treatment etc. is performed and actual junction of the silicon transistor is carried out at the last substrate. As the 11th process, wiring ties the electrode of a silicon transistor, and the circuit on the last substrate, and the glass substrate for liquid crystal, its actuation circuit, etc. are completed. At the 11th process, the technique used at the 11th process from the 5th process of the 1st operation gestalt is applicable from the 5th process of this operation gestalt.

[0049] According to the manufacture approach of the above-mentioned 1st and the 2nd operation gestalt, these enable it to form a semiconductor device in monolithic on the semi-conductor substrate of combination with difficult manufacture in a monolithic process. In order to have formed the semiconductor device of having prepared a surface emission-type laser, a photodiode, or a high electron mobility transistor made from a gallium arsenide etc. on a silicon semi-conductor substrate, or sticking a minute silicon transistor on a glass substrate instead of the thin film transistor (TFT) of each pixel of a liquid crystal display, on the substrate with which construction material differs, it was creating in the hybrid process conventionally. Drawing 18 is the ** type perspective view showing an example of the conventional hybrid integrated circuit. In this Fig., silicon LSI chip 111 has the LSI field 112. And photodiode chip 101a, surface emission-type laser chip 101b, and high electron mobility transistor chip 101c are joined to the front face of silicon LSI chip 111. Here, in the conventional mounting technology, (the number 100-micrometer angle of number 10-micrometer of thickness x area) serves as [the chip size which can be handled] a limitation. Therefore, the size of photodiode chip 101a, surface emission-type laser chip 101b, and high electron mobility transistor chip 101c becomes the above (number 100-micrometer angle of number 10-micrometer of thickness x area).

[0050] Drawing 11 is the ** type perspective view showing an example of the integrated circuit created by the manufacture approach of this operation gestalt. The silicon LSI chip which is the last substrate 71 has the LSI field 72. And photodiode tile 61a, surface emission-type laser tile 61b, and high-speed operation transistor (MESFET, HBT, and HEMT are included) 61c are joined to the front face of the last substrate 71. In addition, HBT is compound semiconductor hetero bipolar *****. Here, photodiode tile 61a, surface emission-type laser tile 61b, and high-speed operation transistor 61c are created and joined by the manufacture approach of the 1st operation gestalt as a minute tile-like component 61. Therefore, the size of photodiode tile 61a, surface emission-type laser tile 61b, and high-speed operation transistor 61c becomes possible [making it (the number 10 micrometer angle of several micrometer / in thickness / x area)]. then, the manufacture approach of this operation gestalt -- getting twisted -- it becomes possible to form the semiconductor device (minute tile-like component 61) of small size comparable as

the case where it forms by the monolithic, on the substrate (for example, substrates, such as silicon, a quartz, sapphire, a metal, ceramics, and a plastic film) of the class of arbitration.

[0051] Moreover, according to the manufacture approach of the above-mentioned 1st and the 2nd operation gestalt, on a semi-conductor substrate (substrate 10), since a semiconductor device (semiconductor device 13) is completed and it is processed into the minute tile-like component 61, it is attached to a semiconductor device, and it can test beforehand and can sort out.

[0052] Moreover, according to the manufacture approach of the above-mentioned 1st and the 2nd operation gestalt, about the semi-conductor substrate (substrate 10), creation of the minute tile-like component 61, all can be used as a semiconductor device 13 (minute tile-like component 61) except for the part of the separation slot 21. Therefore, it becomes possible to raise the utilization area effectiveness of a semi-conductor substrate (substrate 10), and a manufacturing cost can be reduced.

[0053] Moreover, according to the manufacture approach of the above-mentioned 1st and the 2nd operation gestalt, since it mounts on the medium imprint film 31 with the flexible minute tile-like component 61, each minute tile-like component 61 can be chosen and it can join to the last substrate 71.

[0054] Moreover, since the minute tile-like component 61 is joined to the last substrate 71 in the condition of having completed as a semiconductor device according to the manufacture approach of the above-mentioned 1st and the 2nd operation gestalt, a complicated semi-conductor process is not needed after the junction. Therefore, since it is not necessary to process the whole last substrate 71 after joining to the last substrate 71 of the minute tile-like component 61, it becomes possible to reduce the futility of a manufacture process. Moreover, since a complicated semi-conductor process is not needed after joining to the last substrate 71 of the minute tile-like component 61, it becomes possible for constraint of the junction approach of the minute tile-like component 61 to become loose, for example, to adopt the junction approach of low thermal resistance.

[0055] (Application) The application of the semiconductor device member hereafter created using the manufacture approach of the semiconductor integrated circuit concerning this invention is explained. A surface emission-type laser (VCSEL) and a photodiode (PD) are formed on Silicon LSI, using the approach of the 1st above-mentioned operation gestalt as the 1st application. This becomes possible to transmit and receive the exterior and data of Silicon LSI using a light pulse. Therefore, transmission and reception of data with the place which cannot carry out electrical connection are not only attained, but it becomes possible to transmit and receive a signal at a high speed from the case where it transmits and receives by the electronic signal.

[0056] A high-speed operation transistor (HBT) is prepared on Silicon LSI, using the approach of the 1st above-mentioned operation gestalt as the 2nd application. And by making the high-speed analog amplifier by HBT build in Silicon IC as component parts, such as a cellular phone, since a wire length is shortened, the high-speed operation of a circuit becomes possible. Moreover, in the substrate 10, creation of the minute tile-like component 61, all can be used as a semiconductor device 13 (minute tile-like component 61) except for the part of the separation slot 21. Therefore, it becomes possible to raise the utilization area effectiveness of an expensive gallium-arsenide substrate, and a manufacturing cost can be reduced.

[0057] As the 3rd application, a minute silicon transistor is stuck instead of a thin film transistor (TFT) about each pixel of the liquid crystal display which is an electro-optic device using the manufacture approach of this invention. That is, a silicon transistor is stuck on the glass substrate for liquid crystal using the approach of the 2nd above-mentioned operation gestalt. Thereby, the switching function of high performance can be obtained compared with the case where TFT is used. Since the percentage of the transistor area in the pixel of a liquid crystal display is several %, if the whole surface of a pixel is created in a TFT process, almost all parts other than TFT in a pixel will become useless. If a minute silicon transistor is formed in high density in a silicon substrate, it divides in a detached core and a sacrifice layer on the other hand using the manufacture approach of the 2nd above-mentioned operation gestalt and it sticks only on a required place, it will become possible to reduce futility as much as possible. Therefore, a manufacturing cost can be reduced substantially.

[0058] As the 4th application, a minute silicon transistor is stuck instead of a thin film transistor (TFT)

using the manufacture approach of this invention about each pixel of the organic electroluminescence (electro-luminescence) indicating equipment which is an electro-optic device. Below, the manufacture approach of this electro-optic device is explained at a detail.

[0059] (Electro-optic device) It explains, referring to drawing 12 and drawing 13 about the electro-optic device concerning the application of this operation gestalt hereafter. Drawing 12 is the sectional view showing an example of the organic electroluminescence equipment which is an electro-optic device of this operation gestalt. In drawing 12 The substrate 2 with which organic electroluminescence equipment 1 can penetrate light (light transmission layer), The organic EL device 9 which consists of a luminous layer 5 which consists of an organic electroluminescence ingredient which was prepared in one field side of a substrate 2, and was pinched by the cathode (electrode) 7 and the anode plate (electrode) 8 of a couple, and an electron hole transporting bed 6 (light emitting device), It has the low refractive-index layer 3 and the closure layer 4 by which the laminating is carried out between the substrate 1 and the organic EL device 9 if needed. The low refractive-index layer 3 is formed in the substrate 2 side from the closure layer 4.

[0060] Moreover, the closure member 320 which intercepts that atmospheric air trespasses also upon the closure layer 4 and the front face of an opposite hand to the organic EL device 9 containing electrodes 7 and 8 among organic electroluminescence equipment 1 on both sides of an organic EL device 9 is formed.

[0061] Organic electroluminescence equipment 1 is manufactured by using sputtering, ion plating, a vacuum deposition method, etc., forming an anode plate 8 on the closure layer 4, and vapor-depositing and carrying out the laminating of the electron hole transporting bed 6, a luminous layer 5, and the cathode 7 one by one on an anode plate 8.

[0062] Here, the organic electroluminescence equipment 1 shown in drawing 12 is a gestalt which takes out luminescence from a luminous layer 5 from a substrate 2 side to the equipment exterior, and transparent synthetic resin, such as the transparence which can penetrate light or a translucent ingredient, for example, transparent glass, a quartz, sapphire or polyester, polyacrylate, a polycarbonate, and a polyether ketone, etc. is mentioned as a formation ingredient of a substrate 2. Especially as a formation ingredient of a substrate 2, cheap soda glass is used suitably. On the other hand, in the case of the gestalt which takes out luminescence from a substrate and an opposite hand, a substrate may be opaque, and what performed insulating processing of scaling etc. to metal sheets, such as ceramics, such as an alumina, and stainless steel, in that case, thermosetting resin, thermoplastics, etc. can be used for it.

[0063] An anode plate 8 is a transparent electrode which consists of an indium stannic acid ghost (ITO:Indium Tin Oxide) etc., and can penetrate light. The electron hole transporting bed 6 consists of for example, a triphenylamine derivative (TPD), a pyrazoline derivative, an arylamine derivative, a stilbene derivative, a triphenyl diamine derivative, etc. Although what is indicated by JP,63-70257,A, a 63-175860 official report, JP,2-135359,A, 2-135361, 2-209988, 3-37992, and the 3-152184 official report is specifically illustrated, it is supposed that a triphenyl diamine derivative is desirable and a 4 and 4'-screw (N(3-methylphenyl)-N-phenylamino) biphenyl is suitable especially.

[0064] In addition, it replaces with an electron hole transporting bed, and you may make it form a hole-injection layer, and may make it form both a hole-injection layer and an electron hole transporting bed further. In that case, although a copper phthalocyanine (CuPc), a polyphenylene vinylene [which is polytetrahydro thiophenyl phenylene], 1, and 1-screw-(4-N and N-ditolylamino phenyl) cyclohexane, tris (8-hydroxy quinolinol) aluminum, etc. are mentioned as a formation ingredient of a hole-injection layer, for example, it is desirable to use especially a copper phthalocyanine (CuPc).

[0065] As a formation ingredient of a luminous layer 5, organic electroluminescence ingredients, such as photogene, such as low-molecular organic luminescence coloring matter and a low-molecular macromolecule emitter, i.e., various kinds of fluorescent materials, and phosphor, and Alq3 (aluminum chelate complex), are usable. In the conjugated-system giant molecule used as photogene, especially a thing including arylene vinylene or the poly fluorene structure etc. is desirable. The well-known thing indicated by JP,57-51781,A or 59-194393 official reports, such as coloring matter, such as a naphthalene derivative, an anthracene derivative, a perylene derivative, a poly methine system, a

KISATEN system, a coumarin system, and a cyanine system, 8-hydronalium quinoline and a metal complex of the derivative, aromatic amine, and a tetra-phenyl cyclopentadiene derivative, etc. with the low-molecular illuminant, for example is usable. Cathode 7 is a metal electrode which consists of aluminum (aluminum), magnesium (Mg), gold (Au), silver (Ag), etc.

[0066] In addition, an electronic transporting bed and an electron injection layer can be prepared between cathode 7 and a luminous layer 5. without it is limited especially as a formation ingredient of an electronic transporting bed -- an OKISA diazole derivative, anthra quinodimethan and its derivative, a benzoquinone and its derivative, a naphthoquinone and its derivative, anthraquinone and its derivative, tetracyano ANSURA quinodimethan and its derivative, and full -- me -- non, the metal complex of a derivative, diphenyl dicyano ethylene and its derivative, a diphenoquinone derivative, 8-hydroxyquinoline, and its derivative etc. is illustrated. specifically, what is indicated by JP,63-70257,A, a 63-175860 official report, JP,2-135359,A, 2-135361, 2-209988, 3-37992, and the 3-152184 official report illustrates like the formation ingredient of a previous electron hole transporting bed -- having -- especially -- 2-(4-biphenyl)-5-(4-t-butylphenyl)- 1, 3, 4-OKISA diazole, a benzoquinone, anthraquinone, and tris (eight quinolinol) aluminum are made suitable.

[0067] Although not illustrated, the organic electroluminescence equipment 1 of this operation gestalt is a active-matrix mold, and two or more data lines and two or more scanning lines are actually arranged in the shape of a grid at a substrate 2. And the above-mentioned organic EL device 9 is conventionally connected through TFT(s) for actuation, such as a switching transistor and a driving transistor, for each [which has been arranged in the shape of / which was divided by the data line and the scanning line / a matrix] pixel of every. And if a driving signal is supplied through the data line or the scanning line, a current will flow to inter-electrode, the luminous layer 5 of an organic EL device 9 emits light, light is injected at the outside surface side of a substrate 2, and the pixel lights up.

[0068] Here, with this operation gestalt, the minute silicon transistor of this invention is conventionally stuck for every pixel instead of TFT(s) for actuation, such as a switching transistor prepared for every pixel, and a driving transistor. Attachment performs this minute silicon transistor by the manufacture approach shown at the 11th process from the 1st above-mentioned process.

[0069] Compared with the case where TFT is used, the switching function of high performance can be obtained by this, and it becomes possible to manufacture the organic electroluminescence equipment 1 which can change a display condition into a high speed.

[0070] Next, it explains, referring to drawing 14 about the concrete example of a configuration of the electro-optic device concerning the application of this operation gestalt. Drawing 14 shows an example at the time of applying the electro-optic device concerning this operation gestalt to the display (electro-optic device) of the active-matrix mold using an organic electroluminescent element.

[0071] As shown in drawing 14 which is a circuit diagram, two or more scanning lines 131, two or more signal lines 132 prolonged in the direction which crosses to these scanning lines 131, and two or more common feeders 133 which extend in these signal lines 132 at juxtaposition were wired on the substrate, respectively, for every intersection of the scanning line 131 and a signal line 132, Pixel (pixel *****) AR is formed and this organic electroluminescence equipment S1 is constituted.

[0072] To the signal line 132, the shift register, the level shifter, the video line, and the data-line actuation circuit 390 equipped with an analog switch are formed. On the other hand, to the scanning line 131, the scanning-line actuation circuit 380 equipped with a shift register and a level shifter is formed. Moreover, the 1st transistor 322 by which a scan signal is supplied to each of the pixel field AR through the scanning line 131 at a gate electrode, The retention volume cap holding the picture signal supplied from a signal line 132 through this 1st transistor 322, The 2nd transistor 324 by which the picture signal held with retention volume cap is supplied to a gate electrode, The pixel electrode 323 with which an actuation current flows in from the common feeder 133 when it connects with the common feeder 133 electrically through this 2nd transistor 324, The light-emitting part (luminous layer) 360 put between this pixel electrode (anode plate) 323 and counterelectrode (cathode) 222 is formed.

[0073] Here, the 1st transistor 322 and 2nd transistor 324 are a minute silicon transistor stuck on the substrate of the organic electroluminescence indicating equipment S1 by the manufacture approach

shown at the 11th process from the 1st above-mentioned process.

[0074] If the scanning line 131 drives on the basis of such a configuration and the 1st transistor 322 serves as ON at it, the potential of the signal line 132 at that time will be held at retention volume cap, and the switch-on of the 2nd transistor 324 will be decided according to the condition of this retention volume cap. And when a current flows from the common feeder 133 to the pixel electrode 323 through the channel of the 2nd transistor 324 and a current flows to a counterelectrode 222 through a luminous layer 360 further, a luminous layer 360 comes to emit light according to the amount of currents which flows this.

[0075] (Electronic equipment) The example of electronic equipment equipped with the electro-optic device of the above-mentioned operation gestalt is explained. Drawing 15 is the perspective view having shown an example of a cellular phone. In drawing 15, a sign 1000 shows the body of a cellular phone, and the sign 1001 shows the display using the above-mentioned electro-optic device.

[0076] Drawing 16 is the perspective view having shown an example of wrist watch mold electronic equipment. In drawing 16, a sign 1100 shows the body of a clock and the sign 1101 shows the display using the above-mentioned electro-optic device.

[0077] Drawing 17 is the perspective view having shown an example of pocket mold information processors, such as a word processor and a personal computer. In drawing 17, the display for which the sign 1200 used the information processor for and the sign 1202 used the electro-optic device of the above [the input sections such as a keyboard, and a sign 1204 / the body of an information processor and a sign 1206] is shown.

[0078] Since the electronic equipment shown in drawing 17 from drawing 15 is equipped with the electro-optic device of the above-mentioned operation gestalt, it excels in display grace and the electronic equipment especially equipped with the organic electroluminescence display of a bright screen by the high-speed response can be realized. Moreover, electronic equipment can be miniaturized rather than the conventional thing by the manufacture approach of the above-mentioned operation gestalt. A manufacturing cost can be reduced rather than the conventional thing by the manufacture approach of the above-mentioned operation gestalt further again.

[0079] In addition, the technical range of this invention is not limited to the above-mentioned operation gestalt, it cannot pass over a concrete ingredient, lamination, etc. which it is possible to add various modification in the range which does not deviate from the meaning of this invention, and were mentioned with the operation gestalt to a mere example, but they can be changed suitably.

[0080]

[Effect of the Invention] Since the semiconductor device formed on the semi-conductor substrate is separated from the semi-conductor substrate concerned in a minute tile configuration by the above explanation according to this invention so that clearly, it becomes possible to join the semiconductor device separated by the minute tile configuration to the body of arbitration, and to form an integrated circuit.

[Translation done.]

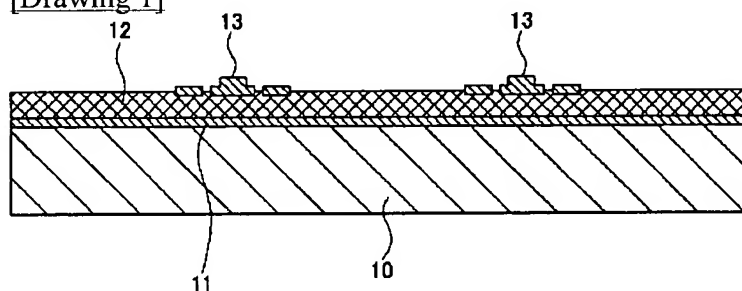
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

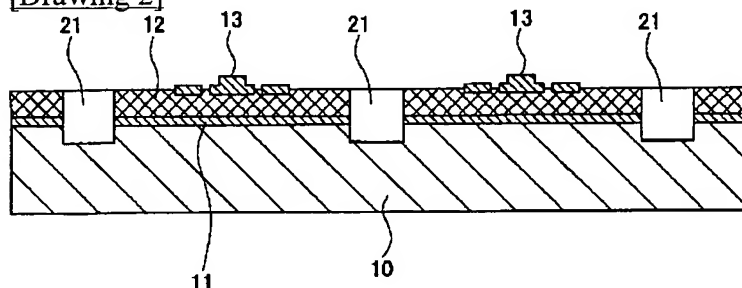
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

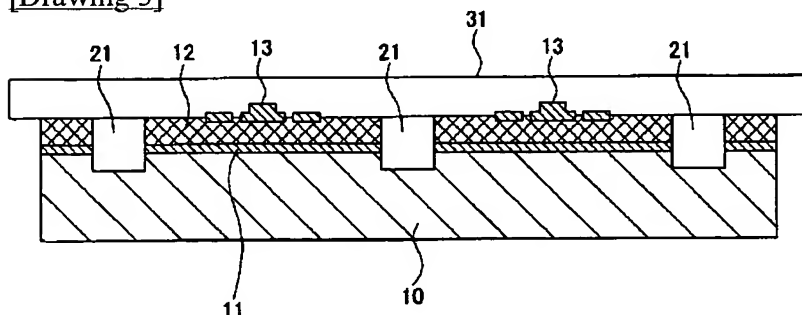
[Drawing 1]



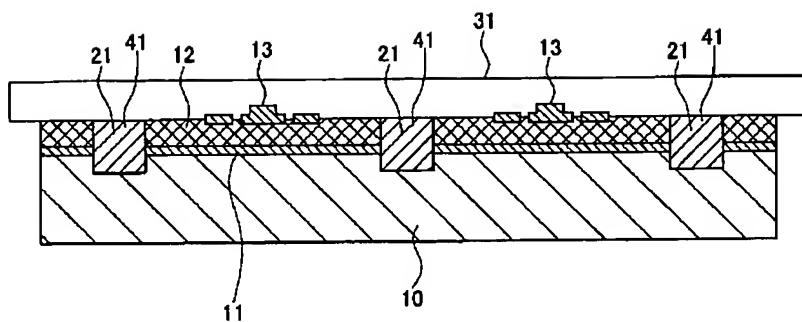
[Drawing 2]



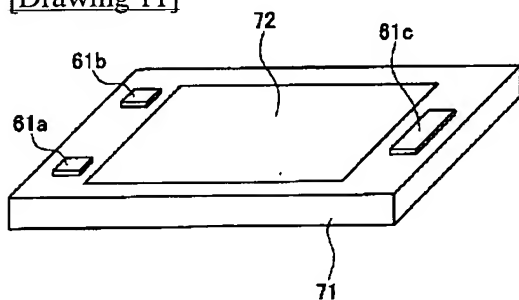
[Drawing 3]



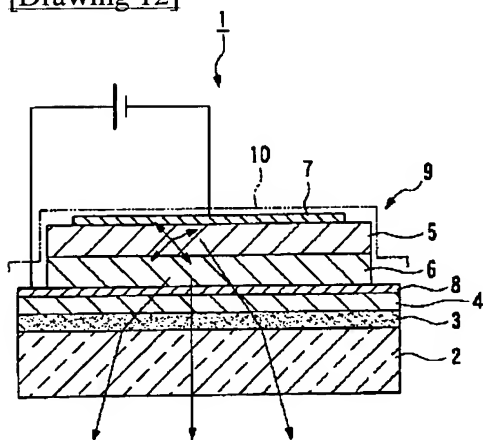
[Drawing 4]



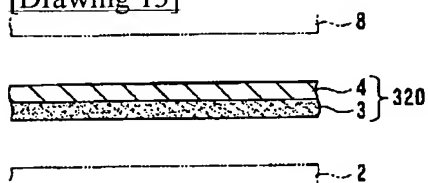
[Drawing 11]



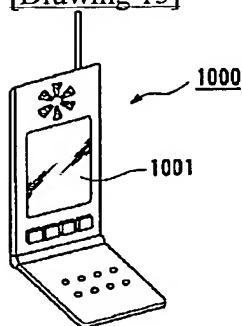
[Drawing 12]



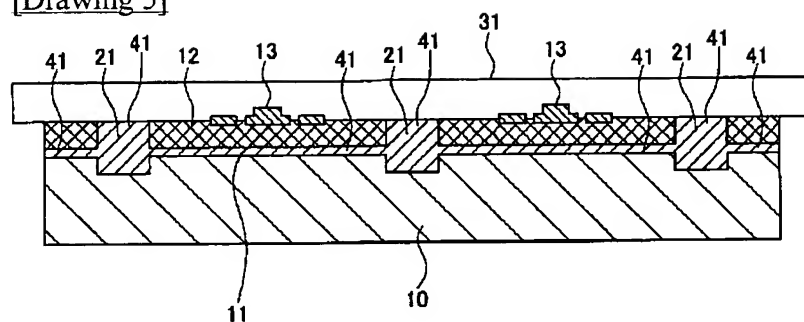
[Drawing 13]



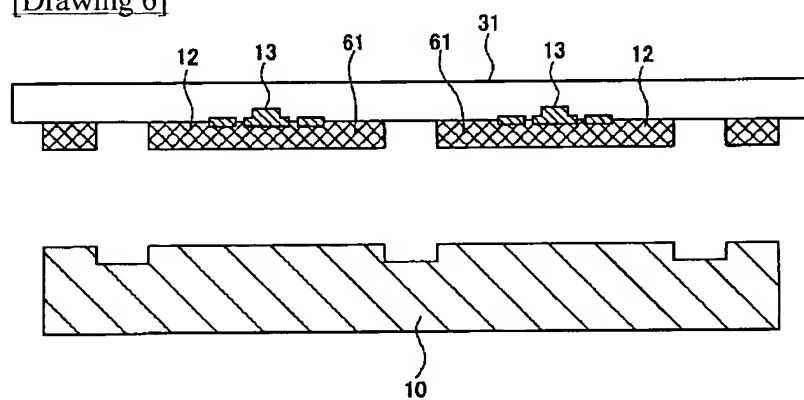
[Drawing 15]



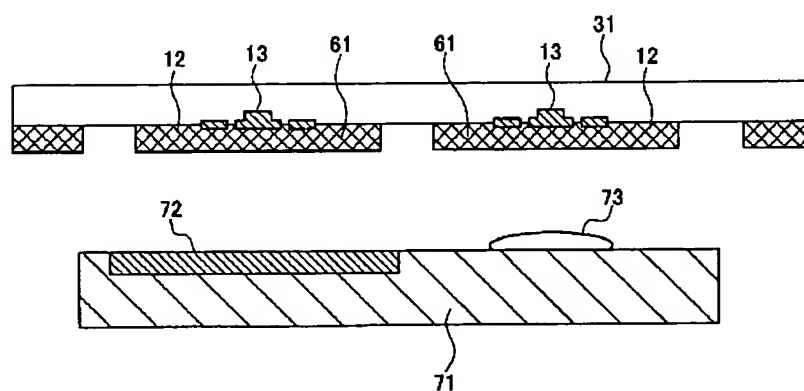
[Drawing 5]



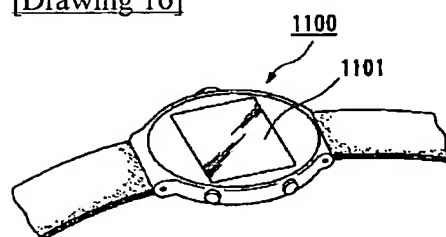
[Drawing 6]



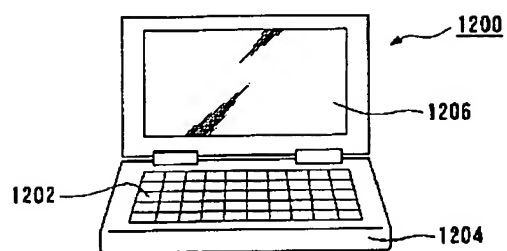
[Drawing 7]



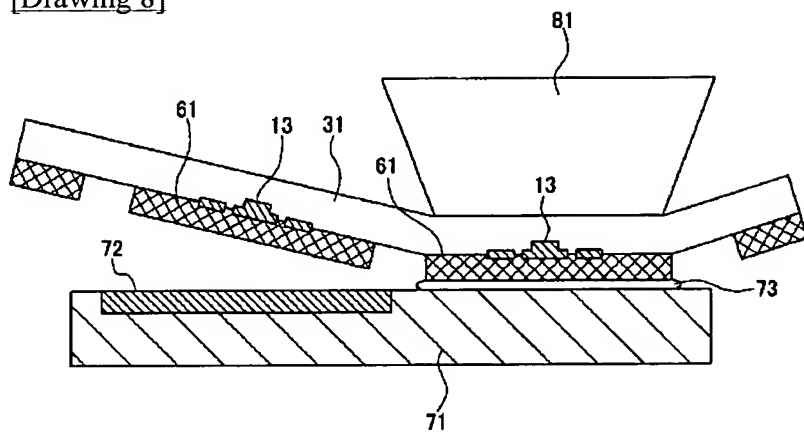
[Drawing 16]



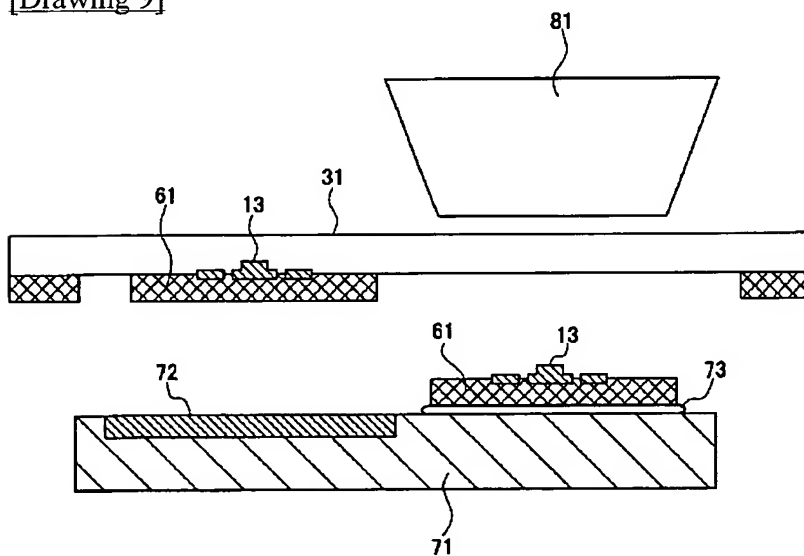
[Drawing 17]



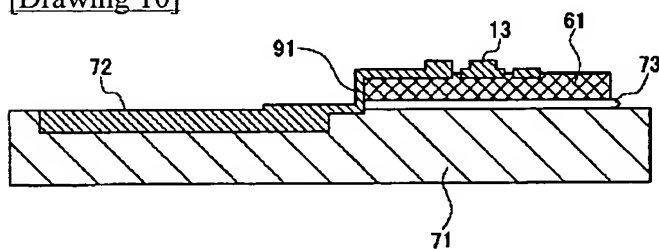
[Drawing 8]



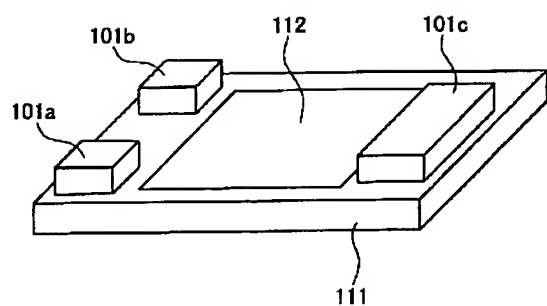
[Drawing 9]



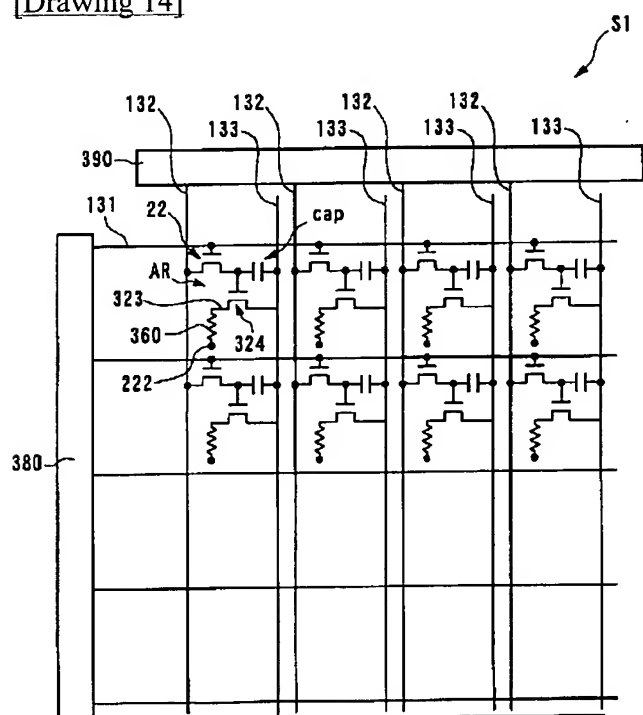
[Drawing 10]



[Drawing 18]



[Drawing 14]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-197881

(P2003-197881A)

(43) 公開日 平成15年7月11日 (2003.7.11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	27/12	H 0 1 L	27/12
	21/306		27/15
	21/331		29/78
	21/336		29/72
	21/338		29/80
			H
審査請求 未請求 請求項の数22 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2001-398200(P2001-398200)

(22) 出願日 平成13年12月27日 (2001. 12. 27)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 近藤 貴幸

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100089037

弁理士 渡邊 隆 (外2名)

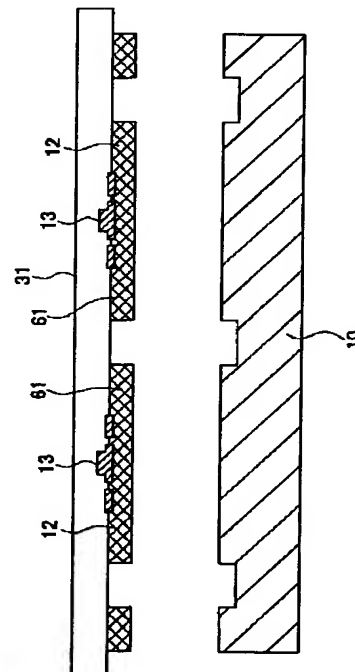
最終頁に続く

(54) 【発明の名称】 半導体集積回路、半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器

(57) 【要約】

【課題】 半導体素子が形成される半導体基板の利用率を向上させ、集積回路の製造プロセスにおける無駄を低減する半導体集積回路、半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器を提供する。

【解決手段】 半導体の基板10上に半導体デバイス(半導体素子)13を形成し、基板10における表層であって半導体デバイス(半導体素子)13を含む機能層12のみを、微小タイル形状に、当該基板10から切り離す。



【特許請求の範囲】

【請求項 1】 半導体基板に半導体素子を形成し、前記半導体基板における表層であって前記半導体素子を含む機能層のみを当該半導体基板から切り離す、ことを特徴とする半導体集積回路の製造方法。

【請求項 2】 半導体基板に半導体素子を形成し、前記半導体基板における前記半導体素子が形成された面側にフィルムを貼り付け、前記半導体基板における前記半導体素子を含む機能層を当該半導体基板から切り離す、ことを特徴とする半導体集積回路の製造方法。

【請求項 3】 前記半導体素子は、化合物半導体デバイスであって、発光ダイオード、面発光レーザ、フォト・ダイオード、高電子移動度トランジスタ、インダクター、キャパシター、抵抗及びヘテロバイポーラ・トランジスタの内の少なくとも一つを有する、ことを特徴とする請求項 1 又は 2 に記載の半導体集積回路の製造方法。

【請求項 4】 前記半導体素子は、シリコン半導体デバイスであって、集積回路、フォト・ダイオード、トランジスタ及びダイオードの内の少なくとも一つをなす、ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体集積回路の製造方法。

【請求項 5】 前記フィルムに貼り付けられた前記機能層を、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムのいずれかからなる基板に接合する、ことを特徴とする請求項 2 乃至 4 のいずれかに記載の半導体集積回路の製造方法。

【請求項 6】 前記半導体基板は、前記機能層の下層に配置された犠牲層を有し、当該犠牲層をエッチングすることで、当該半導体基板から当該機能層を切り離す、ことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体集積回路の製造方法。

【請求項 7】 前記半導体基板は、ガリウム・ヒ素化合物半導体からなり、前記犠牲層は、アルミニウム・ヒ素化合物半導体、アルミニウム・ガリウム・砒素化合物半導体、インジウム・燐化合物半導体もしくは、インジウム・ガリウム・燐化合物半導体からなる、ことを特徴とする請求項 6 に記載の半導体集積回路の製造方法。

【請求項 8】 前記半導体基板は、シリコン・オン・インシュレータ (SOI) 基板に形成されており、前記犠牲層は、シリコン酸化膜からなる、ことを特徴とする請求項 6 に記載の半導体集積回路の製造方法。

【請求項 9】 前記半導体基板には分離溝が設けられ、当該分離溝を設けるとともに前記犠牲層をエッチングすることで、当該半導体基板から前記機能層を切り離す、ことを特徴とする請求項 6 乃至 8 のいずれかに記載の半

導体集積回路の製造方法。

【請求項 10】 前記分離溝は、ドライエッチング及びウェットエッチングのいずれかの方法で形成される、ことを特徴とする請求項 9 に記載の半導体集積回路の製造方法。

【請求項 11】 前記分離溝は、少なくとも前記犠牲層に到達する深さをもつ、ことを特徴とする請求項 9 又は 10 に記載の半導体集積回路の製造方法。

【請求項 12】 前記犠牲層を、低濃度の塩酸又はフッ酸、緩衝フッ酸によってエッチングする、ことを特徴とする請求項 7 に記載の半導体集積回路の製造方法。

【請求項 13】 エッチングによって除去することが可能な犠牲層を有する半導体基板に半導体素子を形成し、前記半導体基板に、少なくとも前記犠牲層に到達する深さをもつ分離溝を形成し、

前記半導体基板の表面に、フィルムを貼付し、前記分離溝にエッチング液を注入し前記犠牲層をエッチングすることにより、前記半導体素子を前記半導体基板から切り離す、ことを特徴とする半導体集積回路の製造方法。

【請求項 14】 前記フィルムに貼り付けられた前記半導体素子を、前記半導体基板とは異なる基板に接合する、ことを特徴とする請求項 13 に記載の半導体集積回路の製造方法。

【請求項 15】 前記基板に接合された前記半導体素子を、当該基板上に形成された回路と接続する、ことを特徴とする請求項 14 に記載の半導体集積回路の製造方法。

【請求項 16】 半導体基板に形成された半導体素子を、当該半導体基板から切り離して半導体素子部材としたものであって、当該半導体素子部材がフィルムに貼り付けられている、ことを特徴とする半導体素子部材。

【請求項 17】 請求項 16 に記載の半導体素子部材が、請求項 16 に記載の半導体基板とは異なる基板に接合されてなり、当該半導体素子部材と当該基板の回路とが接続され集積回路が形成されてなる、

ことを特徴とする半導体集積回路。

【請求項 18】 請求項 17 に記載の半導体集積回路を備えたことを特徴とする電気光学装置。

【請求項 19】 請求項 1 乃至 5 のいずれかに記載の半導体基板から切り離された半導体素子を含む機能層と、請求項 13 に記載の半導体基板から切り離された半導体素子と、のうち少なくとも一つを備えたことを特徴とする電気光学装置。

【請求項 20】 前記電気光学装置は、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記

スイッチング手段に接続された画素電極とを有することを特徴とする請求項 18 又は 19 に記載の電気光学装置。

【請求項 21】 前記電気光学装置は、発光素子を有することを特徴とする請求項 18 又は 19 に記載の電気光学装置。

【請求項 22】 請求項 18 乃至 21 のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路、半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器に関する。特に、ある半導体素子を当該半導体素子の材質とは異なる材質の物体（例えば、基板）上に移設する方法に関する。

【0002】

【従来の技術】シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ（VCSEL）、フォトダイオード（PD）又は高電子移動度トランジスタ（HEMT）などを設けたり、液晶ディスプレイ（LCD）の各画素の薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるといような、半導体素子を材質の異なる基板上に形成する技術が考えられている。

【0003】このような材質の異なる半導体を有する集積回路としては、オプトエレクトロニクス集積回路（OEIC）が挙げられる。オプトエレクトロニクス集積回路は、光による入出力手段を備えた集積回路である。集積回路内での信号処理は電気信号を用いて行うが、集積回路の外との入出力は光信号を用いて行う。

【0004】

【発明が解決しようとする課題】ところで、コンピュータでは、集積回路の内部構造の微細化により、CPU 内部の動作速度（動作クロック）が年々向上している。しかし、バスにおける信号伝達速度はほぼ限界に達しつつあり、コンピュータの処理速度のボトルネックとなっている。このバスにおける信号伝達を光信号で行うことができれば、コンピュータの処理速度の限界を著しく高めることが可能となる。これを実現するためには、シリコンで作られる集積回路に微小な発光・受光素子を内蔵させる必要がある。

【0005】しかしながら、シリコンは、間接遷移型半導体であるため発光することができない。そこで、シリコンと、シリコンとは別の半導体発光素子とを組み合わせることで集積回路を構成することが必要となる。ここで、半導体発光素子として有望であるものは、ガリウム・ヒ素（GaAs）などの化合物半導体からなる面発光レーザ（VCSEL）である。しかし、面発光レーザは、シリコンと格子整合しないため、エピタキシーなどの半導体

プロセスによって直接にシリコン集積回路上に形成することが非常に困難である。通常、面発光レーザは、ガリウム・ヒ素基板上に形成される。そこで、ガリウム・ヒ素基板上の面発光レーザをチップ化して、このチップを機械的にシリコン集積回路基板に実装することで、電気信号伝達回路と光信号伝達回路を融合する方法が考えられている。

【0006】一方、集積回路が形成される半導体基板の面積を無駄にしないためにも、また、融合後の取扱いのし易さのためにも、集積回路上における面発光レーザ素子のチップサイズは可能な限り小さいことが望ましい。できればモノリシックで集積回路を形成した場合と同じ程度の寸法＝（厚さ数 μm × 面積数十 μm^2 ）にしたい。しかし、従来の半導体実装技術では、ハンドリングできるチップサイズが（厚さ数十 μm × 面積数百 μm^2 ）以上のサイズとなっている。

【0007】これらに対して、第 1 の先行文献（雑誌、「エレクトロニクス」、2000 年 10 月号、37 頁～40 頁）及び第 2 の先行文献（雑誌、「電子情報通信学会論文誌」、2001/9、Vol. J84-C、No. 9）に記載されている技術がある。これらの先行文献の技術は、先ず、基板を研磨することで除去し、半導体素子となる極表層の機能層（数 μm ）だけを別の保持基板へ転写してハンドリング及びフォトリソグラフィ技術で所望の大きさに整形し、最終基板へ接合するものである。これで、最終基板の所望の位置に目的の半導体素子となる厚さ数 μm の半導体層（機能層）が形成される。これを通常の半導体プロセスで加工し、電極などを付けて完成させる。

【0008】これら第 1 及び第 2 の先行文献の技術の問題点は、半導体基板を研磨によって除去するので、剛体の保持基板が必要になる点である。そのため最終基板への接合を全面一括で行うことが必要となる。つまり、接合する前に最終的に必要となる部分以外の半導体膜を全て除去しておかなければならず、非常に無駄が多くなってしまふ。また、接合される部分は機能層にすぎないので、接合後に半導体プロセスを施す必要がある。したがって、目的の半導体素子の配置密度があまり大きくない場合などは、最終基板ごと処理することで極めて無駄が多くなる。

【0009】本発明は、ある半導体素子を当該半導体素子の材質とは異なる材質の物体上に形成するときにおける上記した問題を解決し、半導体素子が形成される半導体基板の利用率を向上させることができるとともに、集積回路の製造プロセスにおける無駄を低減することができる半導体集積回路、半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器の提供を目的とする。

【0010】

【課題を解決するための手段】上記した目的を達成する

ために、本発明の半導体集積回路の製造方法は、半導体基板に半導体素子を形成し、前記半導体基板における表層であって前記半導体素子を含む機能層のみを当該半導体基板から切り離すことを特徴とする。このような手法によれば、微小タイル形状に切り離された半導体素子を、任意の物体に接合して集積回路を形成することが可能となる。ここで、半導体素子は化合物半導体でもシリコン半導体でもよく、半導体素子が接合される物体はシリコン半導体基板でも化合物半導体基板でもその他の物質でもよい。そこで、本発明によれば、シリコン半導体

【0011】また、本発明の半導体集積回路の製造方法は、半導体基板に半導体素子を形成し、前記半導体基板における前記半導体素子が形成された面側にフィルムを張り付け、前記半導体基板における前記半導体素子を含む機能層を当該半導体基板から切り離すことを特徴とする。このような手法によれば、半導体素子を含む機能層のみを、微小タイル形状として半導体基板から切り取り、フィルムにマウントしてハンドリングすることができ、半導体素子を個別に選択して最終基板に接合できるとともに、ハンドリングできる半導体素子のサイズを従来の実装技術のものよりも小さくすることができる。

【0012】また、本発明の半導体集積回路の製造方法は、前記半導体素子が、化合物半導体デバイスであって、発光ダイオード、面発光レーザ、フォト・ダイオード、高電子移動度トランジスタ、インダクター、キャパシター、抵抗及びヘテロバイポーラ・トランジスタの内の少なくとも一つを有することが好ましい。

【0013】また、本発明の半導体集積回路の製造方法は、前記半導体素子が、シリコン半導体デバイスであって、集積回路、フォト・ダイオード、トランジスタ及びダイオードの内の少なくとも一つをなすことが好ましい。

【0014】また、本発明の半導体集積回路の製造方法は、前記フィルムに貼り付けられた前記機能層を、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムのいずれかからなる基板に接合することを特徴とする。このような手法によれば、基板に接合される機能層には半導体素子が完成されているので、その接合後に複雑な半導体プロセスを必要としない。したがって、機能層を基板へ接合した後に、当該基板の全体を処理する必要がないので、製造プロセスの無駄を低減することが可能となる。また、機能層を基板へ接合した後

に、当該基板の全体を処理する必要がないので、当該接合方法の制約を緩和することができ、例えば、低耐熱性の接合方法を採用することが可能となる。

【0015】また、本発明の半導体集積回路の製造方法は、前記半導体基板が、前記機能層の下層に配置された犠牲層を有し、当該犠牲層をエッチングすることで、当該半導体基板から当該機能層を切り離すことを特徴とする。

【0016】また、本発明の半導体集積回路の製造方法は、前記半導体基板が、ガリウム・ヒ素化合物半導体からなり、前記犠牲層は、アルミニウム・ヒ素化合物半導体、アルミニウム・ガリウム・砒素化合物半導体、インジウム・燐化合物半導体もしくは、インジウム・ガリウム・燐化合物半導体からなることが好ましい。

【0017】また、本発明の半導体集積回路の製造方法は、前記半導体基板は、シリコン・オン・インシュレータ(SOI)基板に形成されており、前記犠牲層は、シリコン酸化膜からなることが好ましい。

【0018】また、本発明の半導体集積回路の製造方法は、分離溝が設けられ、当該分離溝を設けるとともに前記犠牲層をエッチングすることで、当該半導体基板から前記機能層を切り離すことが好ましい。このような手法によれば、先ず始めに半導体素子が形成される半導体基板については、分離溝の部分を除いた全ての面積を半導体素子として利用することが可能となる。

【0019】また、本発明の半導体集積回路の製造方法は、分離溝が、ドライエッチング及びウエットエッチングのいずれかの方法で形成されることが好ましい。

【0020】また、本発明の半導体集積回路の製造方法は、前記分離溝が、少なくとも前記犠牲層に到達する深さをもつことが好ましい。このような手法によれば、分離溝にエッチング液を注入することで、分離溝から犠牲層にエッチング液を送ることが可能となり、犠牲層をエッチングすることができる。

【0021】また、本発明の半導体集積回路の製造方法は、前記犠牲層を、低濃度の塩酸によってエッチングすることが好ましい。

【0022】また、本発明の半導体集積回路の製造方法は、エッチングによって除去することが可能な犠牲層を有する半導体基板に半導体素子を形成し、前記半導体基板に、少なくとも前記犠牲層に到達する深さをもつ分離溝を形成し、前記半導体基板の表面に、フィルムを貼付し、前記分離溝にエッチング液を注入し前記犠牲層をエッチングすることにより、前記半導体素子を前記半導体基板から切り離すことを特徴とする。

【0023】また、本発明の半導体集積回路の製造方法は、前記フィルムに貼り付けられた前記半導体素子を、前記半導体基板とは異なる基板に接合することが好ましい。

【0024】また、本発明の半導体集積回路の製造方法

は、前記基板に接合された前記半導体素子を、当該基板上に形成された回路と接続することが好ましい。

【0025】本発明の半導体素子部材は、半導体基板に形成された半導体素子を、当該半導体基板から切り離して半導体素子部材としたものであって、当該半導体素子部材がフィルムに貼り付けられていることを特徴とする。

【0026】本発明の半導体集積回路は、前記半導体素子部材が、前記半導体基板とは異なる基板に接合されており、当該半導体素子部材と当該基板の回路とが接続され集積回路が形成されてなることを特徴とする。

【0027】本発明の電気光学装置は、前記半導体集積回路を備えたことを特徴とする。

【0028】また、本発明の電気光学装置は、前記半導体基板から切り離された半導体素子を含む機能層と、前記半導体基板から切り離された半導体素子と、のうち少なくとも1つを備えたことを特徴とする。

【0029】また、本発明の電気光学装置は、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有することが好ましい。

【0030】また、本発明の電気光学装置は、発光素子を有することが好ましい。

【0031】本発明の電子機器は、前記電気光学装置を備えたことを特徴とする。

【0032】

【発明の実施の形態】以下、本発明に係る半導体集積回路の製造方法について、図1乃至図10に基づいて説明する。第1の実施形態では、化合物半導体デバイス（化合物半導体素子）をシリコン・LSIチップ上に接合する場合について説明するが、半導体デバイスの種類及びLSIチップの種類に関係なく本発明を適用することができる。なお、本実施形態における「半導体基板」とは、半導体物資から成る物体をいうが、板形状の基板に限らず、どのような形状であっても半導体物資であれば「半導体基板」に含まれる。

【0033】（第1の実施形態）

<第1工程>図1は本実施形態に係る半導体集積回路の製造方法の第1工程を示す概略断面図である。図1において、基板10は、半導体基板であり、本実施形態ではガリウム・ヒ素化合物半導体基板である。基板10における最下位層に、犠牲層11を設けておく。犠牲層11は、アルミニウム・ヒ素（AlAs）からなり、厚さが例えば数百nmの層である。例えば、犠牲層11の上層には機能層12を設ける。機能層12の厚さは、例えば1μmから10（20）μm程度とする。そして、機能層12において半導体デバイス（半導体素子）13を作成する。半導体デバイス13としては、例えば発光ダイオード（LED）、面発光レーザ（VCSEL）、フォ

トダイオード（PD）、高電子移動度トランジスタ（HEMT）、ヘテロバイポーラトランジスタ（HBT）などが挙げられる。これらの半導体デバイス13は、何れも基板10上に多層のエピタキシャル層を積層して素子が形成されたものである。また、各半導体デバイス13は、電極も形成し、動作テストも行う。

【0034】<第2工程>図2は本実施形態に係る半導体集積回路の製造方法の第2工程を示す概略断面図である。本工程においては、各半導体デバイス13を分割するように分離溝21を形成する。分離溝21は、少なくとも犠牲層11に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さともに、10μmから数百μmとする。また、分離溝21は、後述するところの選択エッチング液が当該分離溝21を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝21は、基盤のごとく格子状に形成することが好ましい。また、分離溝21相互の間隔を数十μmから数百μmとすることで、分離溝21によって分割・形成される各半導体デバイス13のサイズを、数十μmから数百μm四方の面積をもつものとする。分離溝21の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはドライエッチングによる方法を用いる。また、クラックが基板に生じない範囲でU字形溝のダイシングで分離溝21を形成してもよい。分離溝21の形成において、ウェットエッチングでは硫酸系エッチング液が使用でき、ドライエッチングでは塩素ガスが使用できる。分離溝21はパターン寸法が大きく精度を必要としないので、エッチングマスクはフォトリソグラフィでなくてもよい。例えば、エッチングマスクとしてオフセット印刷なども使用できる。また、分離溝21の形成においては、基板10の結晶方位に対する分離溝21の方位も重要となる。

【0035】<第3工程>図3は本実施形態に係る半導体集積回路の製造方法の第3工程を示す概略断面図である。本工程においては、中間転写フィルム31を基板10の表面（半導体デバイス13側）に貼り付ける。中間転写フィルム31は、表面に粘着剤が塗られたフレキシブルな帯形状のフィルムである。

【0036】<第4工程>図4は本実施形態に係る半導体集積回路の製造方法の第4工程を示す概略断面図である。本工程においては、分離溝21に選択エッチング液41を注入する。本工程では、犠牲層11のみを選択的にエッチングするために、選択エッチング液41として、アルミニウム・ヒ素に対して選択性が高い低濃度の塩酸を用いる。選択エッチング液41としては低濃度のフッ酸も使えるが、選択性という点で塩酸を使う方が望ましい。

【0037】<第5工程>図5は本実施形態に係る半導体集積回路の製造方法の第5工程を示す概略断面図である。本工程においては、第4工程での分離溝21への選

択エッチング液41の注入後、所定時間の経過により、犠牲層11のすべてを選択的にエッチングして基板10から取り除く。その後、分離溝21及び犠牲層11のあった部位に純水を注入してリンスする。

【0038】<第6工程>図6は本実施形態に係る半導体集積回路の製造方法の第6工程を示す概略断面図である。第5工程で犠牲層11が全てエッチングされると、基板10から機能層12が切り離される。そして、本工程において、中間転写フィルム31を基板10から引き離すことにより、中間転写フィルム31に貼り付けられている機能層12を基板10から引き離す。これらにより、半導体デバイス13が形成された機能層12は、分離溝21の形成及び犠牲層11のエッチングによって分割されて、所定の形状（例えば、微小タイル形状）の半導体素子（以下、「微小タイル状素子61」という。）とされ、中間転写フィルム31に貼り付け保持されることとなる。ここで、機能層の厚さが例えば1 μ mから8 μ m、大きさ（縦横）が例えば数十 μ mから数百 μ mであるのが好ましい。また、機能層12が切り離された基板10は、半導体デバイスの形成に再利用することが可能である。そして、犠牲層11を複数層あらかじめ設けておくことで、前述の第1工程から第6工程を繰り返し実行することができ、基板10を再利用して、「微小タイル状素子61」を繰り返し作成することが可能となる。

【0039】<第7工程>図7は本実施形態に係る半導体集積回路の製造方法の第7工程を示す概略断面図である。本工程においては、（微小タイル状素子61が貼り付けられた）中間転写フィルム31を移動させることで、最終基板71の所望の位置に微小タイル状素子61をアライメントする。ここで、最終基板71は、シリコン半導体からなり、LSI領域72が形成されている。また、最終基板71の所望の位置には、微小タイル状素子61を接着するための接着剤73を塗布しておく。

【0040】<第8工程>図8は本実施形態に係る半導体集積回路の製造方法の第8工程を示す概略断面図である。本工程においては、最終基板71の所望の位置にアライメントされた微小タイル状素子61を、中間転写フィルム31越しにコレット81で押しつけて最終基板71に接合する。ここで、所望の位置には接着剤73が塗布されているので、その最終基板71の所望の位置に微小タイル状素子61が接着される。本工程では、最終基板71への微小タイル状素子61の接着方法として接着剤を用いたが、他の接着方法を用いてもよい。

【0041】<第9工程>図9は本実施形態に係る半導体集積回路の製造方法の第9工程を示す概略断面図である。本工程においては、中間転写フィルム31の粘着力を消失させて、微小タイル状素子61から中間転写フィルム31を剥がす。中間転写フィルム31の粘着剤は、UV硬化性又は熱硬化性のものにしておく。UV硬化性

の粘着剤とした場合は、コレット81を透明な材質にしておき、コレット81の先端から紫外線（UV）を照射することで中間転写フィルム31の粘着力を消失させる。熱硬化性の接着剤とした場合は、コレット81を加熱すればよい。あるいは第6工程の後で、中間転写フィルム31を全面紫外線照射するなどして粘着力を全面消失させておいてもよい。粘着力が消失したとはいえ実際には僅かに粘着性が残っており、微小タイル状素子61は非常に薄く軽いので中間転写フィルム31に保持される。

【0042】<第10工程>本工程は、図示していない。本工程においては、加熱処理などを施して、微小タイル状素子61を最終基板71に本接合する。

【0043】<第11工程>図10は本実施形態に係る半導体集積回路の製造方法の第11工程を示す概略断面図である。本工程においては、微小タイル状素子61の電極と最終基板71上の回路を配線91により電気的に繋ぎ、一つのLSIチップを完成させる。最終基板71としては、シリコン半導体のみならず、石英基板又はプラスチックフィルムを適用してもよい。シリコン半導体を最終基板71とした場合は、CCD（電荷結合素子）を有する基板としてもよい。石英などのガラス基板を最終基板71とした場合は、これを液晶ディスプレイ（LCD）、有機EL装置等のディスプレイに利用することができる。また、プラスチックフィルムを最終基板71とした場合は、これを液晶ディスプレイ、有機エレクトロ・ルミネッセンス・パネル、又はICフィルムパッケージなどに利用することができる。

【0044】（第2の実施形態）第2の実施形態では、シリコントランジスタ（シリコン半導体素子）を液晶用ガラス基板へ貼り付ける場合について説明する。本実施形態における第1工程から第11工程は、第1の実施形態における第1工程から第11工程に対応した工程である。ここで、本実施形態と第1の実施形態との間での特に大きな相違点は、第4工程における犠牲層の選択エッチングの方法が異なる点である。

【0045】まず、第1工程としては、SOI（Silicon On Insulator）基板上に、通常の一般的なプロセスでシリコントランジスタを形成する。ここで、シリコントランジスタの代わりに、シリコンデバイスである集積回路、フォト・ダイオード、トランジスタ又はダイオードを形成してもよい。SOI基板には、犠牲層となるシリコン酸化膜が設けられている。第2工程としては、SOI基板に分離溝を形成する。この分離溝は、少なくともSOI基板における犠牲層をなすシリコン酸化膜に到達する深さを持ち、エッチングなどの方法で形成する。第3工程としては、中間転写フィルムをSOI基板の表面（シリコントランジスタ側）に貼り付ける。

【0046】第4工程としては、犠牲層をなすシリコン酸化膜のみを選択的にエッチングするために、分離溝へ

フッ酸を注入する。第5工程としては、第4工程の後、所定時間の経過により、シリコン酸化膜の犠牲層をエッチングして、シリコン基板からシリコントランジスタ（シリコン半導体素子）を切り離す。第6工程としては、中間転写フィルムをSOI基板から引き離すことにより、中間転写フィルムに貼り付けられているシリコントランジスタをSOI基板から引き離す。

【0047】第7工程としては、中間転写フィルムを移動させることで、最終基板の所望の位置にシリコントランジスタをアライメントする。ここで、最終基板は、液

晶用ガラス基板である。第8工程としては、最終基板の所望の位置にアライメントされたシリコントランジスタを、中間転写フィルム越しにコレットで押しつけて最終基板に接合する。ここで、所望の位置には接着剤が塗布されているので、その最終基板の所望の位置にシリコントランジスタが接着される。

【0048】第9工程としては、中間転写フィルムの粘着力を消失させて、シリコントランジスタから中間転写フィルムを剥がす。第10工程としては、加熱処理などを施して、シリコントランジスタを最終基板に本接合する。第11工程としては、シリコントランジスタの電極と最終基板上の回路を配線で繋ぎ、液晶用ガラス基板及びその駆動回路などを完成させる。本実施形態の第5工程から第11工程では、第1の実施形態の第5工程から第11工程で用いられた技術を適用することができる。

【0049】これらにより、上述の第1及び第2の実施形態の製造方法によれば、半導体素子を、モノリシックプロセスでは製造困難な組み合わせの半導体基板上に、あたかもモノリシック的に形成することが可能となる。シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ、フォトダイオード又は高電子移動度トランジスタなどを設けたり、液晶ディスプレイの各画素の薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるというような、半導体素子を材質の異なる基板上に形成するには、従来は、ハイブリッドプロセスで作成していた。図18は従来のハイブリッド集積回路の一例を示す模式斜視図である。本図では、シリコンLSIチップ111はLSI領域112を有している。そして、シリコンLSIチップ111の表面には、フォトダイオードチップ101a、面発光レーザチップ101b及び高電子移動度トランジスタチップ101cが接合されている。ここで、従来の実装技術では、ハンドリングできるチップサイズが（厚さ数十 μm ×面積数百 μm^2 ）が限界となっている。したがって、フォトダイオードチップ101a、面発光レーザチップ101b及び高電子移動度トランジスタチップ101cのサイズは、（厚さ数十 μm ×面積数百 μm^2 ）以上となる。

【0050】図11は、本実施形態の製造方法で作成した集積回路の一例を示す模式斜視図である。最終基板7

1であるシリコンLSIチップはLSI領域72を有している。そして、最終基板71の表面には、フォトダイオードタイル61a、面発光レーザタイル61b及び高速動作トランジスタ（MESFET、HBT、HEMTを含む）61cが接合されている。なお、HBTとは、化合物半導体ヘテロバイポーラである。ここで、フォトダイオードタイル61a、面発光レーザタイル61b及び高速動作トランジスタ61cは、微小タイル状素子61として、第1の実施形態の製造方法で作成され接合されたものである。したがって、フォトダイオードタイル61a、面発光レーザタイル61b及び高速動作トランジスタ61cのサイズは、（厚さ数 μm ×面積数十 μm^2 ）にすることが可能となる。そこで、本実施形態の製造方法によれば、モノリシックで形成した場合と同程度の小さいサイズの半導体素子（微小タイル状素子61）を、任意の種類の基板（例えば、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムなどの基板）上に形成することが可能となる。

【0051】また、上述の第1及び第2の実施形態の製造方法によれば、半導体基板（基板10）上で、半導体素子（半導体デバイス13）を完成させてから、微小タイル状素子61に加工するので、半導体素子につき予めテストして選別することができる。

【0052】また、上述の第1及び第2の実施形態の製造方法によれば、微小タイル状素子61の作成もとの半導体基板（基板10）については、分離溝21の部分を除き全て半導体デバイス13（微小タイル状素子61）として利用できる。したがって、半導体基板（基板10）の利用面積効率を高めることが可能となり、製造コストを低減することができる。

【0053】また、上述の第1及び第2の実施形態の製造方法によれば、微小タイル状素子61がフレキシブルな中間転写フィルム31にマウントされるので、各微小タイル状素子61を選んで最終基板71に接合することができる。

【0054】また、上述の第1及び第2の実施形態の製造方法によれば、微小タイル状素子61が半導体素子として完成した状態で最終基板71に接合されるので、その接合後に複雑な半導体プロセスを必要としない。したがって、微小タイル状素子61の最終基板71への接合後に、最終基板71の全体を処理する必要がないので、製造プロセスの無駄を低減することが可能となる。また、微小タイル状素子61の最終基板71への接合後に、複雑な半導体プロセスを必要としないので、その微小タイル状素子61の接合方法の制約が緩くなり、例えば、低耐熱性の接合方法を採用することが可能となる。

【0055】（応用例）以下、本発明に係る半導体集積回路の製造方法を使用して作成された半導体素子部材の応用例について説明する。第1の応用例としては、上述の第1の実施形態の方法を用いて、シリコンLSI上に

面発光レーザ（VCSEL）及びフォトダイオード（PD）を設ける。これにより、光パルスを用いてシリコンLSIの外部とデータを送受信することが可能となる。したがって、電気接続できない所とのデータの送受信が可能となるのみならず、電子信号で送受信した場合よりも高速に信号を送受信することが可能となる。

【0056】第2の応用例としては、上述の第1の実施形態の方法を用いて、シリコンLSI上に高速動作トランジスタ（HBT）を設ける。そして、携帯電話などの構成部品として、HBTによる高速アナログアンプをシリコンICに内蔵させることで、配線長が短縮されるので回路の高速動作が可能となる。また、微小タイル状素子61の作成もとの基板10では、分離溝21の部分を除き全て半導体デバイス13（微小タイル状素子61）として利用できる。したがって、高価なガリウム・ヒ素基板の利用面積効率を高めることが可能となり、製造コストを低減することができる。

【0057】第3の応用例としては、電気光学装置である液晶ディスプレイの各画素につき、本発明の製造方法を用いて、薄膜トランジスタ（TFT）の代わりに、微小シリコントランジスタを貼り付ける。即ち、上述の第2の実施形態の方法を用いて、液晶用ガラス基板へシリコントランジスタを貼り付ける。これにより、TFTを用いた場合に比べて、高性能のスイッチング機能を得ることができる。液晶ディスプレイの画素におけるトランジスタ面積の割合は数パーセントであるので、画素の全面をTFTプロセスで作成すると、画素におけるTFT以外のほとんどの部分が無駄になってしまう。一方、上述の第2の実施形態の製造方法を用いて、シリコン基板において微小シリコントランジスタを高密度に形成し、分離層及び犠牲層で分割して必要なところにだけ貼り付ければ、無駄を極力低減することが可能となる。したがって、製造コストを大幅に低減することができる。

【0058】第4の応用例としては、電気光学装置である有機EL（エレクトロ・ルミネッセンス）表示装置の各画素につき、本発明の製造方法を用いて、薄膜トランジスタ（TFT）の代わりに、微小シリコントランジスタを貼り付ける。以下に、この電気光学装置の製造方法について詳細に説明する。

【0059】（電気光学装置）以下、本実施形態の応用例に係る電気光学装置について図12及び図13を参照しながら説明する。図12は本実施形態の電気光学装置である有機EL装置の一例を示す断面図である。図12において、有機EL装置1は、光を透過可能な基板（光透過層）2と、基板2の一方の面側に設けられ一対の陰極（電極）7及び陽極（電極）8に挟持された有機エレクトロルミネッセンス材料からなる発光層5と正孔輸送層6とからなる有機EL素子（発光素子）9と、必要に応じて、基板1と有機EL素子9との間に積層されている低屈折率層3及び封止層4とを備えている。低屈折率

層3は封止層4より基板2側に設けられている。

【0060】また、有機EL装置1のうち、有機EL素子9を挟んで封止層4と反対側の表面にも、電極7、8を含む有機EL素子9に対して大気が入り込むのを遮断する封止部材320が形成されている。

【0061】封止層4上にスパッタリングやイオンプレーティング、真空蒸着法などを用いて陽極8を形成し、陽極8上に順次、正孔輸送層6、発光層5、陰極7を蒸着して積層することにより、有機EL装置1が製造される。

【0062】ここで、図12に示す有機EL装置1は、発光層5からの発光を基板2側から装置外部に取り出す形態であり、基板2の形成材料としては、光を透過可能な透明あるいは半透明材料、例えば、透明なガラス、石英、サファイア、あるいはポリエステル、ポリアクリレート、ポリカーボネート、ポリエーテルケトンなどの透明な合成樹脂などが挙げられる。特に、基板2の形成材料としては、安価なソーダガラスが好適に用いられる。一方、基板と反対側から発光を取り出す形態の場合には、基板は不透明であってもよく、その場合、アルミナ等のセラミック、ステンレス等の金属シートに表面酸化などの絶縁処理を施したもの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。

【0063】陽極8は、インジウム錫酸化物（ITO：Indium Tin Oxide）等からなる透明電極であって光を透過可能である。正孔輸送層6は、例えば、トリフェニルアミン誘導体（TPD）、ピラゾリン誘導体、アリールアミン誘導体、スチルベン誘導体、トリフェニルジアミン誘導体等からなる。具体的には、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が例示されるが、トリフェニルジアミン誘導体が好ましく、中でも4,4'-ビス（N（3-メチルフェニル）-N-フェニルアミノ）ビフェニルが好適とされる。

【0064】なお、正孔輸送層に代えて正孔注入層を形成するようにしてもよく、さらに正孔注入層と正孔輸送層を両方形成するようにしてもよい。その場合、正孔注入層の形成材料としては、例えば銅フタロシアニン（CuPc）や、ポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、1,1-ビス（4-N,N-ジトリルアミノフェニル）シクロヘキサン、トリス（8-ヒドロキシキノリノール）アルミニウム等が挙げられるが、特に銅フタロシアニン（CuPc）を用いるのが好ましい。

【0065】発光層5の形成材料としては、低分子の有機発光色素や高分子発光体、すなわち各種の蛍光物質や燐光物質などの発光物質、Alq₃（アルミキレート錯体）などの有機エレクトロルミネッセンス材料が使用可

能である。発光物質となる共役系高分子の中ではアリーレンビニレン又はポリフルオレン構造を含むものなどが特に好ましい。低分子発光体では、例えばナフタレン誘導体、アントラセン誘導体、ペリレン誘導体、ポリメチン系、キサテン系、クマリン系、シアニン系などの色素類、8-ヒドロキノリンおよびその誘導体の金属錯体、芳香族アミン、テトラフェニルシクロペンタジエン誘導体等、または特開昭57-51781、同59-194393号公報等に記載されている公知のものが使用可能である。陰極7はアルミニウム(A1)やマグネシウム(Mg)、金(Au)、銀(Ag)等からなる金属電極である。

【0066】なお、陰極7と発光層5との間に、電子輸送層や電子注入層を設けることができる。電子輸送層の形成材料としては、特に限定されることなく、オキサジアゾール誘導体、アントラキノジメタンおよびその誘導体、ベンゾキノロンおよびその誘導体、ナフトキノロンおよびその誘導体、アントラキノロンおよびその誘導体、テトラシアノアンスラキノジメタンおよびその誘導体、フルオレノン誘導体、ジフェニルジシアノエチレンおよびその誘導体、ジフェノキノロン誘導体、8-ヒドロキシキノリンおよびその誘導体の金属錯体等が例示される。具体的には、先の正孔輸送層の形成材料と同様に、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が例示され、特に2-(4-ビフェニル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール、ベンゾキノロン、アントラキノロン、トリス(8-キノリノール)アルミニウムが好適とされる。

【0067】図示しないが、本実施形態の有機EL装置1はアクティブマトリクス型であり、実際には複数のデータ線と複数の走査線とが格子状に基板2に配置される。そして、データ線と走査線に区画されたマトリクス状に配置された各画素毎に、従来は、スイッチングトランジスタやドライビングトランジスタ等の駆動用TFTを介して上記の有機EL素子9が接続されている。そして、データ線と走査線を介して駆動信号が供給されると電極間に電流が流れ、有機EL素子9の発光層5が発光して基板2の外側面に光が射出され、その画素が点灯する。

【0068】ここで、本実施形態では、従来、各画素毎に設けられていたスイッチングトランジスタやドライビングトランジスタ等の駆動用TFTの代わりに、各画素毎に、本発明の微小シリコントランジスタを貼り付ける。この微小シリコントランジスタを貼り付けは、上述の第1工程から第11工程で示した製造方法で行う。

【0069】これにより、TFTを用いた場合に比べて、高性能のスイッチング機能を得ることができ、高速

に表示状態を変更することができる有機EL装置1を製造することが可能となる。

【0070】次に、本実施形態の応用例に係る電気光学装置の具体的な構成例について図14を参照しながら説明する。図14は本実施形態に係る電気光学装置を、有機エレクトロルミネッセンス素子を用いたアクティブマトリクス型の表示装置(電気光学装置)に適用した場合の一例を示すものである。

【0071】この有機EL装置S1は、回路図である図14に示すように基板上に、複数の走査線131と、これら走査線131に対して交差する方向に延びる複数の信号線132と、これら信号線132に並列に延びる複数の共通給電線133とがそれぞれ配線されたもので、走査線131及び信号線132の各交点毎に、画素(画素領域素子)ARが設けられて構成されたものである。

【0072】信号線132に対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ線駆動回路390が設けられている。一方、走査線131に対しては、シフトレジスタ及びレベルシフトを備える走査線駆動回路380が設けられている。また、画素領域ARの各々には、走査線131を介して走査信号がゲート電極に供給される第1のトランジスタ322と、この第1のトランジスタ322を介して信号線132から供給される画像信号を保持する保持容量capと、保持容量capによって保持された画像信号がゲート電極に供給される第2のトランジスタ324と、この第2のトランジスタ324を介して共通給電線133に電気的に接続したときに共通給電線133から駆動電流が流れ込む画素電極323と、この画素電極(陽極)323と対向電極(陰極)222との間に挟み込まれる発光部(発光層)360とが設けられている。

【0073】ここで、第1のトランジスタ322及び第2のトランジスタ324は、上述の第1工程から第11工程で示した製造方法で有機EL表示装置S1の基板上に貼り付けられた微小シリコントランジスタである。

【0074】このような構成のもとに、走査線131が駆動されて第1のトランジスタ322がオンとなると、そのときの信号線132の電位が保持容量capに保持され、該保持容量capの状態に応じて、第2のトランジスタ324の導通状態が決まる。そして、第2のトランジスタ324のチャネルを介して共通給電線133から画素電極323に電流が流れ、さらに発光層360を通じて対向電極222に電流が流れることにより、発光層360は、これを流れる電流量に応じて発光するようになる。

【0075】(電子機器)上記実施形態の電気光学装置を備えた電子機器の例について説明する。図15は、携帯電話の一例を示した斜視図である。図15において、符号1000は携帯電話本体を示し、符号1001は上記の電気光学装置を用いた表示部を示している。

【0076】図16は、腕時計型電子機器の一例を示した斜視図である。図16において、符号1100は時計本体を示し、符号1101は上記の電気光学装置を用いた表示部を示している。

【0077】図17は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図17において、符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は情報処理装置本体、符号1206は上記の電気光学装置を用いた表示部を示している。

【0078】図15から図17に示す電子機器は、上記実施形態の電気光学装置を備えているので、表示品位に優れ、特に、高速応答で明るい画面の有機EL表示部を備えた電子機器を実現することができる。また、上記実施形態の製造方法によって、従来のものよりも電子機器を小型化することができる。さらにまた、上記実施形態の製造方法によって、製造コストを従来のものよりも低減することができる。

【0079】なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

【0080】

【発明の効果】以上の説明で明らかなように、本発明によれば、半導体基板上に形成した半導体素子を、微小タイル形状に当該半導体基板から切り離すので、その微小タイル形状に切り離された半導体素子を、任意の物体に接合して集積回路を形成することが可能となる。

【図面の簡単な説明】

【図1】 第1の実施形態に係る半導体集積回路の製造方法の第1工程を示す概略断面図である。

【図2】 同上の製造方法の第2工程を示す概略断面図である。

【図3】 同上の製造方法の第3工程を示す概略断面図である。

【図4】 同上の製造方法の第4工程を示す概略断面図である。

【図5】 同上の製造方法の第5工程を示す概略断面図である。

【図6】 同上の製造方法の第6工程を示す概略断面図である。

【図7】 同上の製造方法の第7工程を示す概略断面図である。

【図8】 同上の製造方法の第8工程を示す概略断面図である。

【図9】 同上の製造方法の第9工程を示す概略断面図である。

【図10】 同上の製造方法の第11工程を示す概略断面図である。

【図11】 本発明の製造方法で作成した集積回路の一例を示す模式斜視図である。

10 【図12】 本実施形態の電気光学装置の概略断面図である。

【図13】 同上の電気光学装置の膜状部材を示す断面図である。

【図14】 アクティブマトリクス型の表示装置を示す回路図である。

【図15】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図16】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

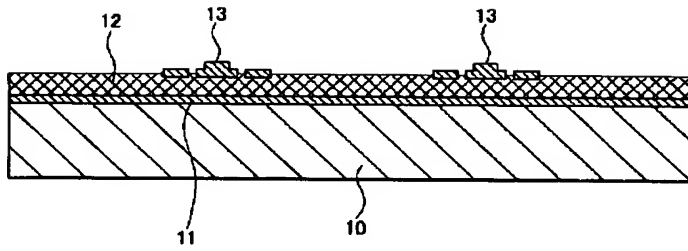
20 【図17】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図18】 従来のハイブリッド集積回路の一例を示す模式斜視図である。

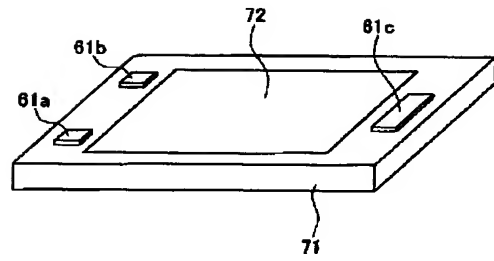
【符号の説明】

10	基板
11	犠牲層
12	機能層
13	半導体デバイス（半導体素子）
21	分離溝
31	中間転写フィルム
30 41	選択エッチング液
61	微小タイル状素子
61 a	フォトダイオードタイル
61 b	面発光レーザタイル
61 c	高速動作トランジスタ
71	最終基板
72	LSI領域
73	接着剤
81	コレット
91	電氣的配線
40 101 a	フォトダイオードチップ
101 b	面発光レーザチップ
101 c	高電子移動度トランジスタチップ
111	シリコンLSIチップ
112	LSI領域

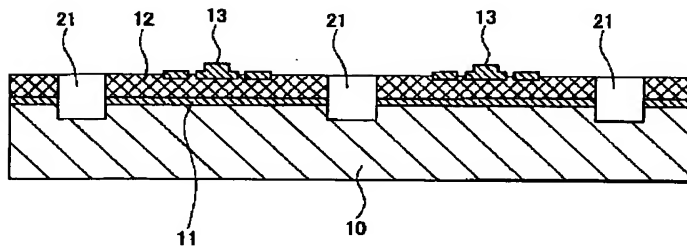
【図 1】



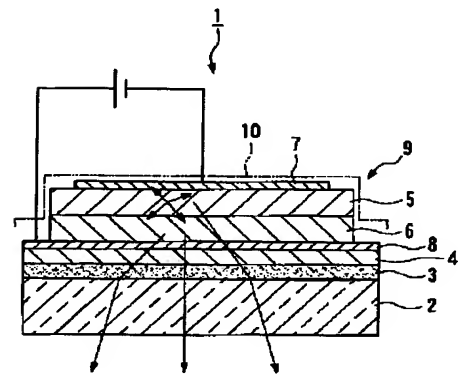
【図 1 1】



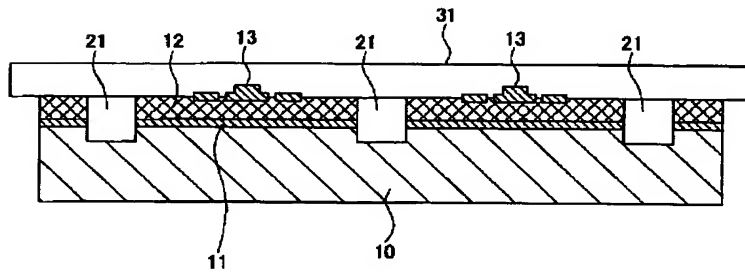
【図 2】



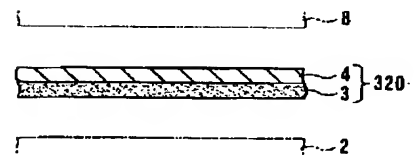
【図 1 2】



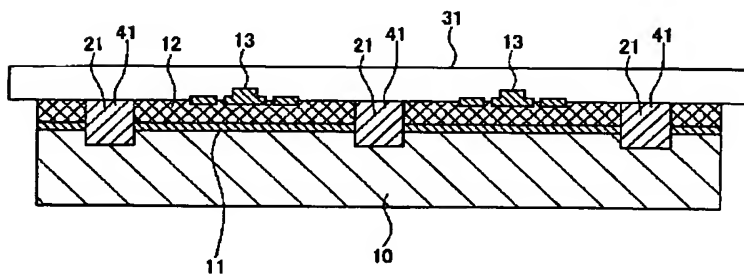
【図 3】



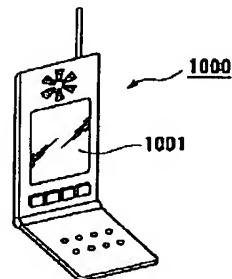
【図 1 3】



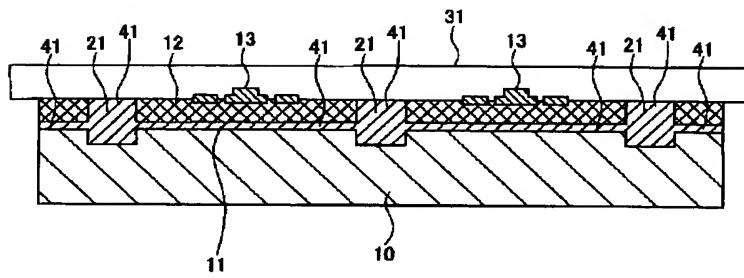
【図 4】



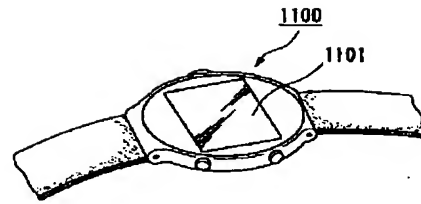
【図 1 5】



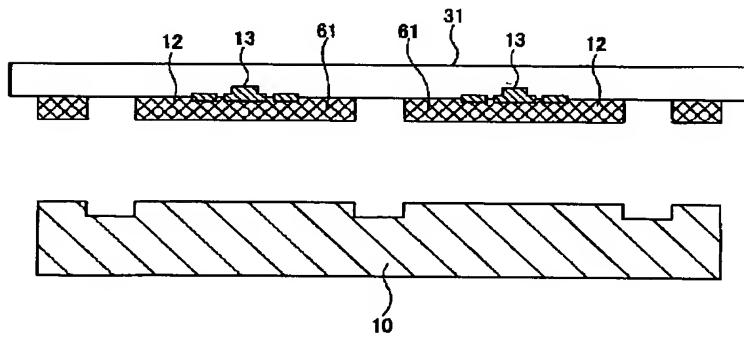
【図 5】



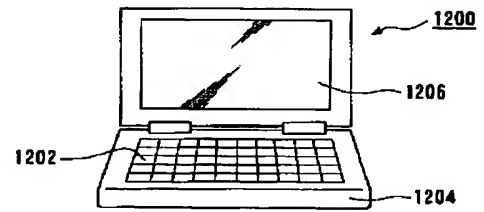
【図 16】



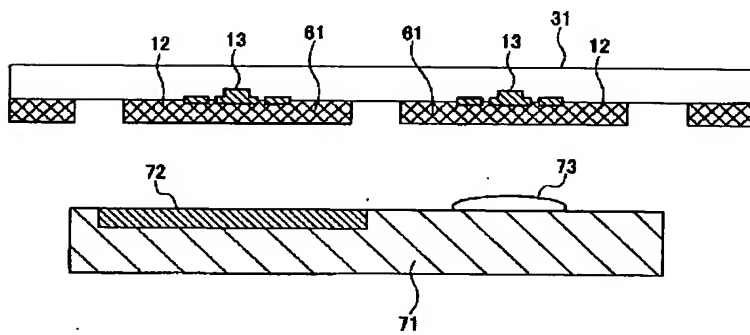
【図 6】



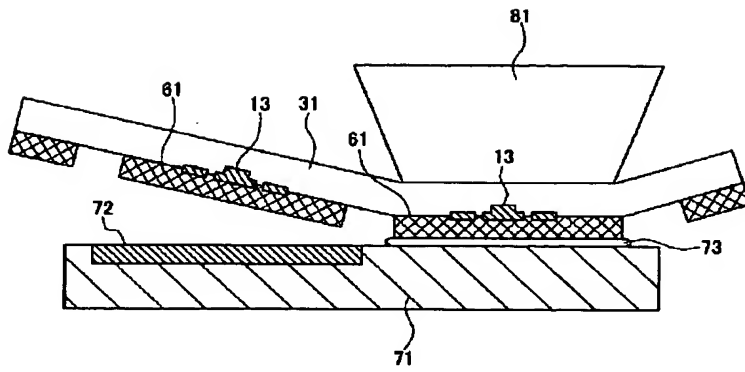
【図 17】



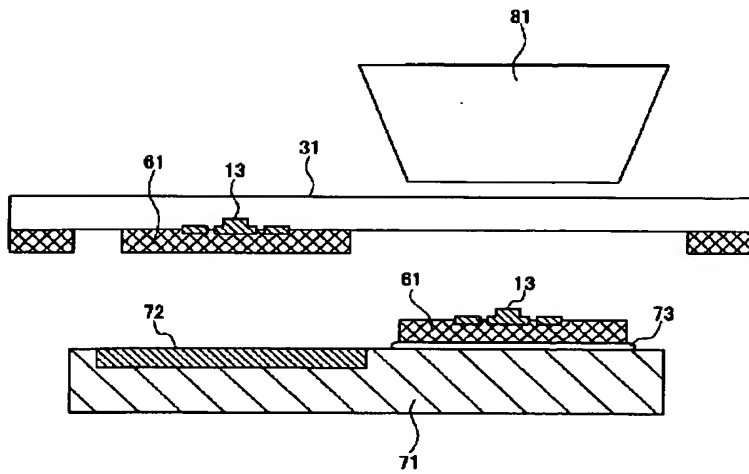
【図 7】



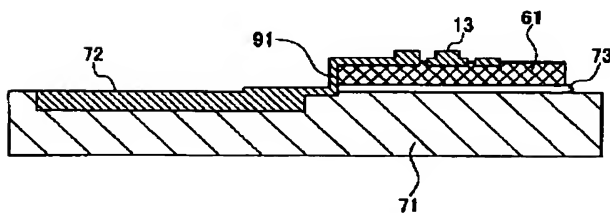
【図 8】



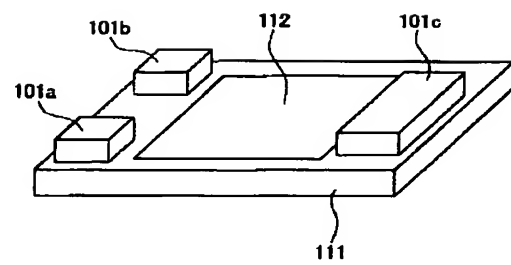
【図 9】



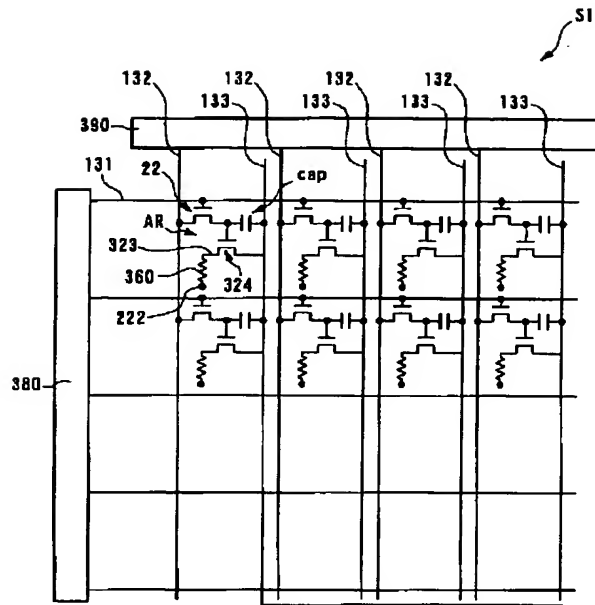
【図 10】



【図 18】



【図 14】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 27/15

H 0 1 L 21/306

C

29/737

29/778

29/786

29/812

F ターム (参考) 5F003 AZ03 AZ07 BA23 BF06 BM02

5F043 AA15 AA16 BB10 DD25

5F102 FA10 GB01 GC01 GD01 GJ10

GQ01

5F110 AA30 BB02 DD01 DD03 DD04

DD05 GG02 GG12 QQ16

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197881

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01L 27/12
H01L 21/306
H01L 21/331
H01L 21/336
H01L 21/338
H01L 27/15
H01L 29/737
H01L 29/778
H01L 29/786
H01L 29/812

(21)Application number : 2001-398200

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.12.2001

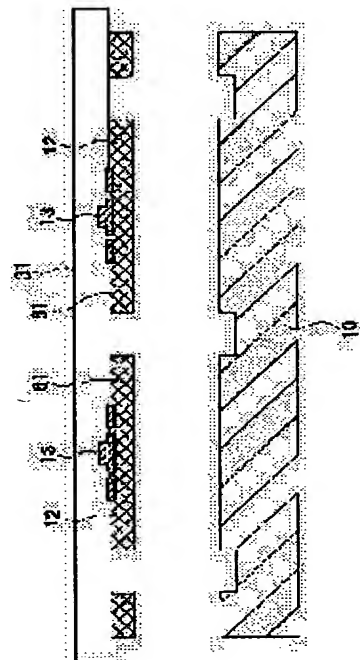
(72)Inventor : KONDO TAKAYUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT, MANUFACTURING METHOD FOR THE SEMICONDUCTOR INTEGRATED CIRCUIT, SEMICONDUCTOR ELEMENT MEMBER, ELECTROOPTIC DEVICE, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which improves the use rate of a semiconductor substrate where a semiconductor element is formed and decreases waste of manufacturing processes for the integrated circuit, a manufacturing circuit for the semiconductor integrated circuit, a semiconductor element member, an electrooptic device, and electronic equipment.

SOLUTION: On the substrate 10 of a semiconductor, a semiconductor device (semiconductor element) 13 is formed and only a function layer 12 which is a surface layer on the substrate 10 and includes the semiconductor device (semiconductor element) 13 is cut into fine tiles apart from the substrate 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office